

**Модуль РС/104 -
ГОСТ Р 52070-2003 (MIL-STD-1553)**

Модуль ТА1-104 предназначен для подключения РС/104 к резервированной магистральной ГОСТ Р 52070-2003 (MIL-STD-1553В). В зависимости от исполнения, модуль содержит один или два блока ТАМ1, каждый из которых реализует функции резервированного устройства интерфейса. Каждое устройство интерфейса ТАМ1 способно функционировать в режиме контроллера шины (КШ), оконечного устройства (ОУ) или монитора шины (МШ), в соответствии с требованиями ГОСТ Р 52070-2003. Режим работы устройства определяется программно.

Основные характеристики ТА1-104 приведены в таблице 1.

Таблица 1

Параметр	Ед. изм.	min	typ	max
Приемник Дифференциальное входное напряжение	Vp-p	0,65		40
Передатчик Дифференциальное выходное напряжение, измеренное в линии	Vp-p	6	6,5	
Время нарастания/спада сигнала	ns	100	150	300
Требования по питанию +5V				
* пауза	mA		140	
* 50% времени передача по двум каналам	mA		600	800
* 100% времени передача по двум каналам	mA		1100	1400
Временные параметры				
• Задержка от запуска КШ до начала передачи	μs	3		
• Контролируемая пауза до ОС в режиме КШ, МШ, ОУ (программируется)	μs	14,5		63,5
• Задержка выдачи ответного слова ОУ	μs		4.5	
• Задержка формирования прерывания в конце сообщения	μs			6
• Контролируемая генерация в канале	μs	760		
Температурный диапазон				
• Рабочий	°C	-40		+70
Возможна поставка изделия с расширенным температурным диапазоном				

ТА1-104 может содержать один (ТА1-104-1) или два (ТА1-104-2) модуля ТАМ1.
 В модуле ТА1-104 используется программная модель устройств серии ТА.
 Описание программной модели устройств серии ТА приведено в ТА.DOC.

Подключение модуля ТА1-104 к мультиплексному каналу.

На рис. 1 показаны варианты подключения устройства, построенного на основе ТАМ1 к линии передачи информации.

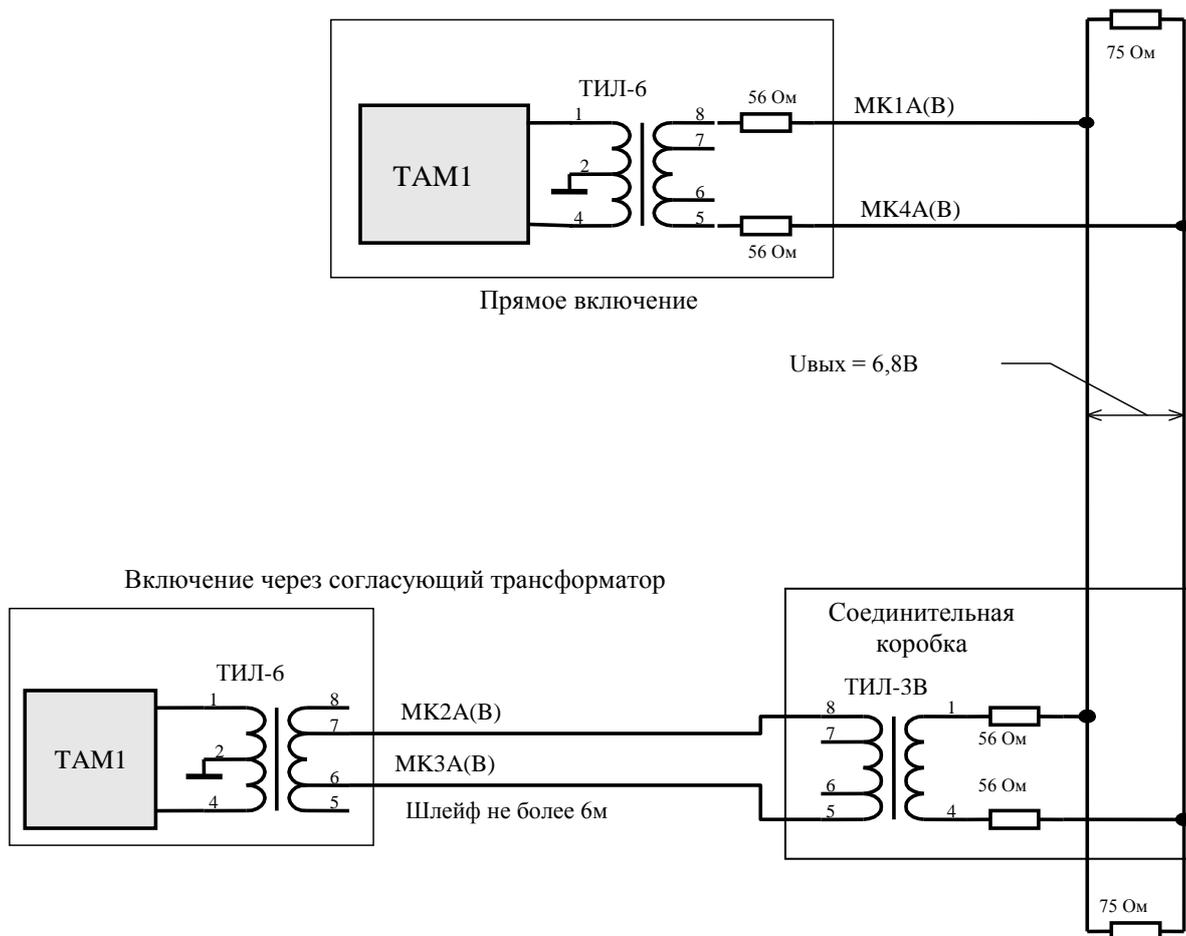
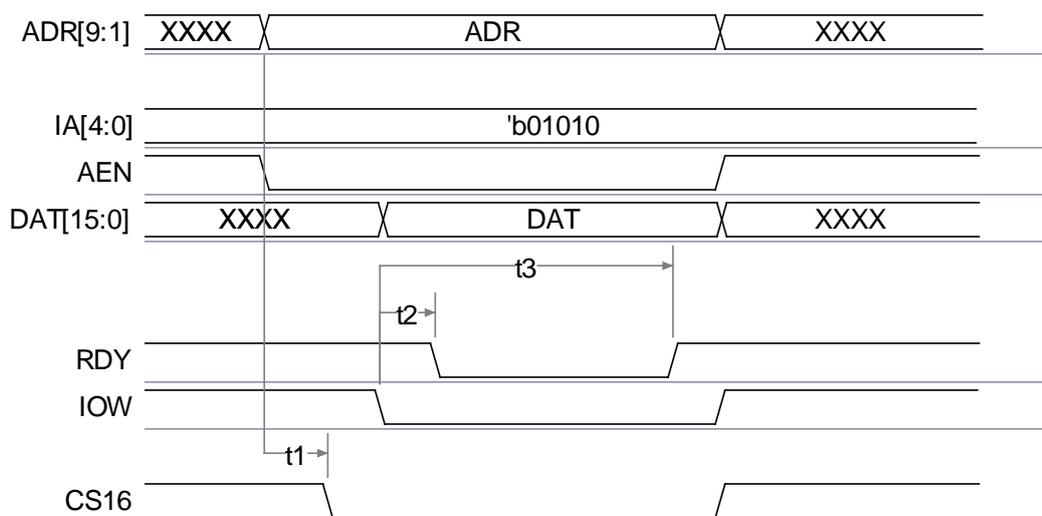


Рис 1.

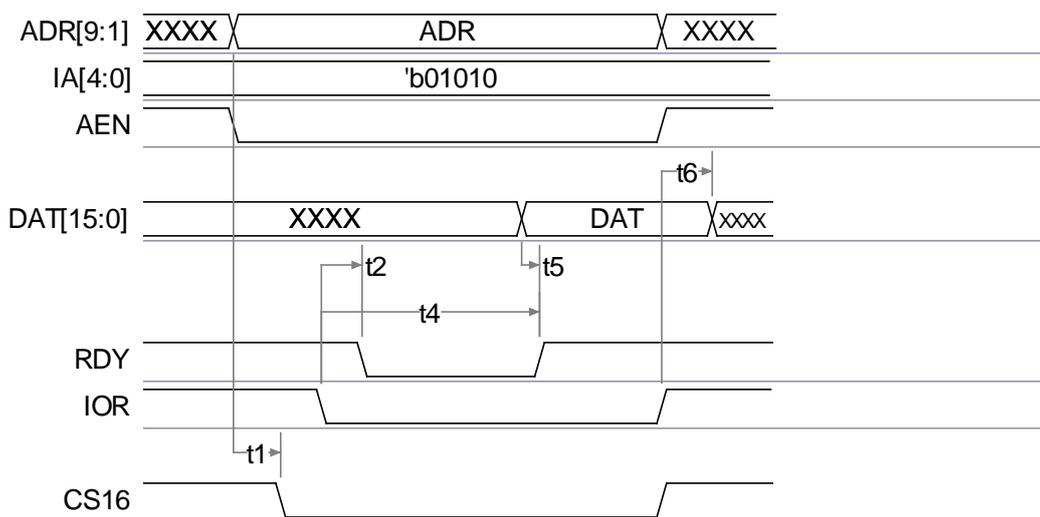
Подключение ТА1-104 к шине ISA.

В качестве микросхемы, управляющей работой модуля, используется FPGA APA150 фирмы Actel. Сигналы шины ISA подключаются к микросхеме APA150 через буфер IDTQS32X861, который ограничивает уровень принимаемых сигналов до величины 3.3V. Для подключения к шине ISA использованы выходные каскады IOB33PL и OTB33PL микросхемы APA150. Для этих каскадов максимальный выходной ток низкого уровня $I_{ol}=20\text{mA}$ ($V_{ol}=0.4\text{V}$), $I_{ol}=28\text{mA}$ ($V_{ol}=0.7\text{V}$), максимальный выходной ток высокого уровня $I_{oh}=-24\text{mA}$ ($V_{oh}=2.4\text{V}$).

Для обмена управляющей информацией и данными между модулем ТАМ1 и процессором используются циклы записи и чтения внешнего устройства. На рис.2 приведена временная диаграмма цикла записи и чтения. Входы IA[4:0] с установленным двоичным кодом b01010 обозначают установленный на разъеме X9 код базового адреса 140h.



а). Запись.



б). Чтение.

$$t_1 < 25 \text{ ns}$$

$$t_2 < 20 \text{ ns}$$

$$0.3 \text{ us} < t_3 < 1.2 \text{ us}$$

$$0.4 \text{ us} < t_4 < 1.2 \text{ us}$$

$$63 \text{ ns} < t_5$$

$$t_6 < 30 \text{ ns}$$

Рис. 2

Переключатели и разъемы ТА1-104.

Условное изображение устройства ТА1-104 приведено на рис. 3.

Разъемы X1 и X2 предназначены для технологических целей на этапе изготовления устройства.

Разъемы X3 и X4 предназначены для подключения устройства к системной шине РС/104. В таблице 2 приведен список используемых контактов интерфейса. Двухканальное устройство ТА1-104-2 использует две линии запроса прерывания.

Табл. 2.

Разъем	Контакт	Название
X3	1,2,38,40	0V
X3	6	IOCS16
X3	8,10,12,14,16	IRQ10, IRQ11, IRQ12, IRQ15, IRQ14
X3	23,25,27,29,31,33,35,37	SD8-SD15
X3	34	+5V
X4	1,19,61,63, 64	0V
X4	3	RESET
X4	4,6,8,10,12,14,16,18,	SD7-SD0
X4	5,57	+5V
X4	7,41,43,45,47,49	IRQ9, IRQ7, IRQ6, IRQ5, IRQ4, IRQ3
X4	20	IOCHRDY
X4	22	AEN
X4	25	IOW
X4	27	IOR
X4	44,46,48,50,52,54,56,58,60	SA9-SA1

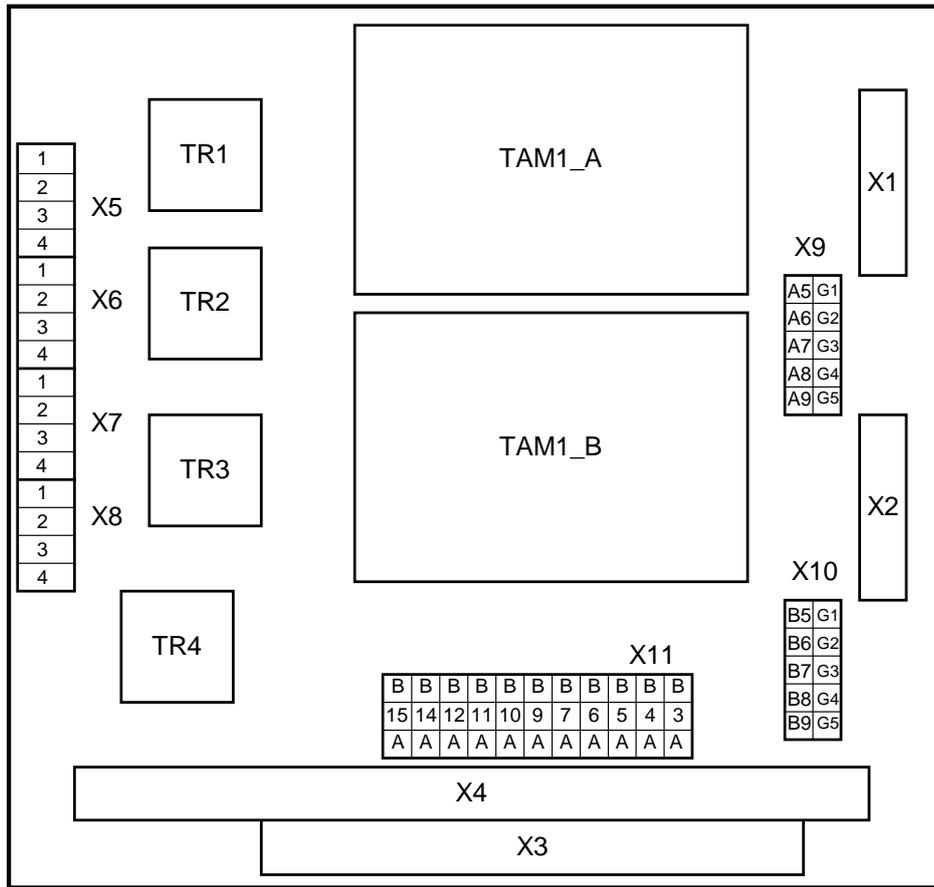


Рис. 3 Условное изображение устройства.

Разъемы X5, X6, X7 и X8 предназначены для подключения устройства к магистрали по ГОСТ Р 52070-2003. Схема подключения приведена на рис. 4.

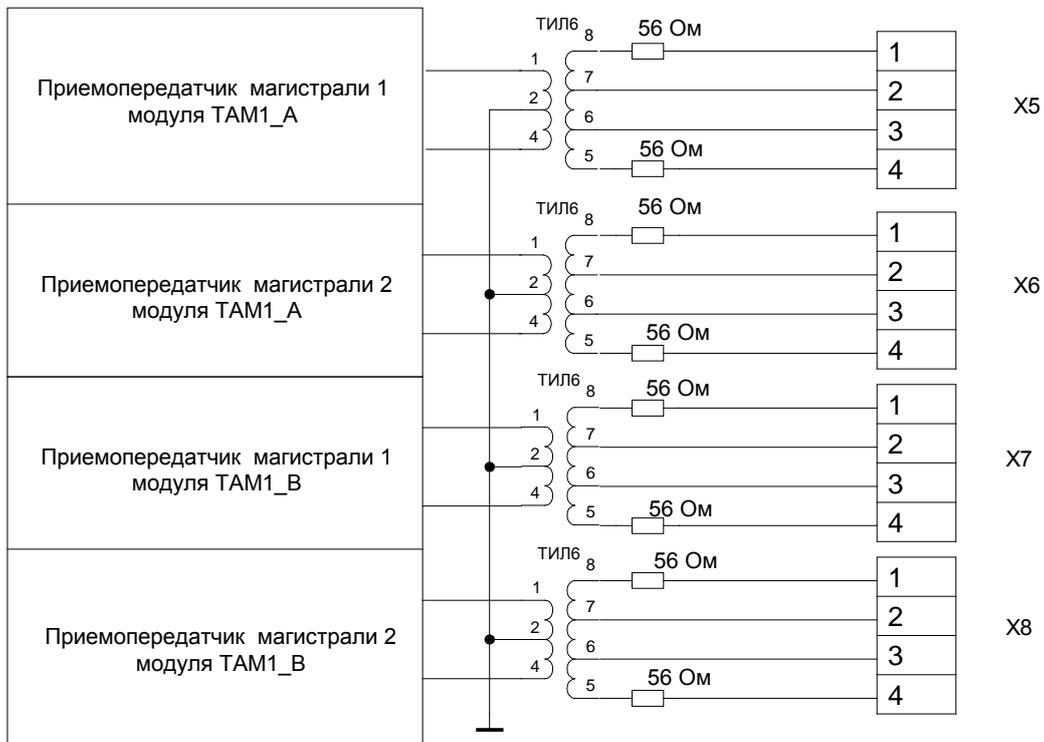


Рис. 4. Подключение устройства к линии передачи информации.

В качестве разъемов подключения к магистрали ГОСТ Р 52070 - X5, X6, X7, X8 используется MPT 0.5/4-2.54. Облуженные концы кабеля зажимаются винтами. Ответной части разъем не предусматривает. Предусмотрены специальные отверстия, для возможности дополнительного крепления кабеля к плате.

Джампера X9 и X10 предназначены для задания базового адреса устройства в системной шине PC/104. Адрес каждого блока TAM1 задается индивидуально. Поле X9 определяет базовый адрес TAM1_A, поле X10 задает базовый адрес TAM1_B.

При замыкании контакта поля A(B) с соответствующим контактом поля G на вход задания базового адреса подается напряжение 0V. Разомкнутые контакты A(B) и G определяют уровень логической единицы. Компаратор адреса TAM1 сравнивает значение, заданное джамперами, с разрядами SA9-SA5 шины ISA (см. рис.5). Разряды SA4-SA1 используются для адресации регистров внутри модуля TAM1. Операции байтового чтения/записи не используются.

Устройство поставляется со следующими установленными адресами: TAM1_A - базовый адрес 140h, TAM1_B - базовый адрес 200h.

SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0
A(B)9	A(B)8	A(B)7	A(B)6	A(B)5					
Базовый адрес					Адрес регистров TAM1				Не исп

Рис. 5. Адресация модулей TAM1 на шине ISA.

Джампера X11 предназначены для задания используемых прерываний. Нижний ряд (A) соединен с выходом прерывания модуля TAM1_A, верхний ряд (B) соединен с выходом прерывания модуля TAM1_B. Средний ряд разъема соединен с соответствующими линиями прерывания шины ISA.

Устройство поставляется со следующими установленными прерываниями: TAM1_A - IRQ11, TAM1_B - IRQ10.

При поставке устройства в исполнении TA1-104-1 с одним резервированным мультиплексным каналом не устанавливаются разъемы X2, X7, X8, X10, трансформаторы TR3, TR4 и модуль TAM1_B (рис. 3).

Информация для заказа

«Модуль сопряжения TA1-104-X-A ГФКП.467100.133ТУ»,

где X – поле, определяющее количество резервированных каналов

1 - один резервированный канал;

2 - два резервированных канала;

A - вид приемки изделия:

C - приемка ОТК;

I - приемка ОТК, покрытие лаком;

M - приемка Заказчика, покрытие лаком.