

Утвержден
ГФКП.468351.075РЭ-ЛУ

МОДУЛЬ СОПРЯЖЕНИЯ
VPX429

Руководство по эксплуатации

ГФКП.468351.075РЭ

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

[illegible]

Руководство по эксплуатации на модуль сопряжения VPX429 - это документ, содержащий сведения о конструкции, принципе действия, характеристиках изделия и указания, необходимые для правильной и безопасной эксплуатации изделия (использования по назначению, технического обслуживания, текущего ремонта, хранения и транспортирования).

Примечание – в дальнейшем тексте настоящего руководства по эксплуатации модуль сопряжения VPX429 именуется изделием.

При эксплуатации изделия необходимо пользоваться данным руководством.

Инв.№ подл. П-3010	Подп. и дата				Лист 3
	Инв. № дубл.				
	Взам. инв. №				
	Подп. и дата				
Из	Число	№ докум.	Подп.	Дата	ГФКП.468351.075РЭ

1 Описание и работа

1.1 Описание изделия

1.1.1 Назначение изделия

Изделие предназначено для подключения ЭВМ с шиной PCI Express к системам и устройствам по последовательному интерфейсу ARINC-429 (ГОСТ 18977-79 и РТМ1495-75) и дискретным каналам (Разовые команды - РК) по ГОСТ 18977-79.

Изделие выполнено в конструктиве VPX 3U.

Условное обозначение изделия при его заказе и в конструкторской документации другого изделия, в котором оно применяется,

«Модуль сопряжения VPX429-XX-DDYY-A-B-C-D-(RS)-(TC)

ГФКП.468351.075ТУ»,

где XX - исполнение изделия по количеству входных и выходных каналов ПК по ARINC 429 (8 и 8), не более;

YY - вариант исполнения изделия по количеству разовых команд (равен сумме входных и выходных РК);

A - вариант исполнения изделия по типу входных РК;

B - вариант исполнения изделия по количеству входных РК;

C - вариант исполнения изделия по типу выходных РК;

D - вариант исполнения изделия по количеству выходных РК.

Примечание – Если поле отсутствует, то количество разовых команд равно 0.

RS - вариант исполнения изделия с гальванически развязанными каналами RS-232 и RS-485.

Количество гальванически развязанных каналов RS-232 - 4.

Количество гальванически развязанных каналов RS-485:

- полудуплексный режим передачи - 3;
- полнодуплексный режим передачи - 1.

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	входных и выходных РК);				
					А - вариант исполнения изделия по типу входных РК;				
					В - вариант исполнения изделия по количеству входных РК;				
					С - вариант исполнения изделия по типу выходных РК;				
					D - вариант исполнения изделия по количеству выходных РК.				
					Примечание – Если поле отсутствует, то количество разовых команд равно 0.				
					RS - вариант исполнения изделия с гальванически развязанными каналами RS-232 и RS-485.				
					Количество гальванически развязанных каналов RS-232 - 4.				
					Количество гальванически развязанных каналов RS-485:				
					– полудуплексный режим передачи - 3;				
					– полнодуплексный режим передачи - 1.				

ТС - вариант исполнения изделия, в котором на разъеме Р2 выведены цепи только для трансформаторного подключения к магистралям по ГОСТ Р 52070 (в случае установки платы ТА1-ХМС4 ГФКП.468351.073 на соответствующее посадочное место).

Обозначение изделия - см. таблицу 1.

Перечень исполнений изделия приведен в таблице 1.

Таблица 1 - Перечень исполнений изделия

Наименование изделия	Обозначение комплекта КД
Модуль сопряжения VPX429-88-DD10-3-8-5-2-RS-TC	ГФКП.468351.075
Модуль сопряжения VPX429-00-DD16-3-8-5-8-RS	ГФКП.468351.075-01
Модуль сопряжения VPX429-88	ГФКП.468351.075-02
Модуль сопряжения VPX429-22	ГФКП.468351.075-03

Возможные типы входных и выходных разовых команд приведены в таблицах 2 и 3.

Таблица 2 - Типы входных и выходных разовых команды типа «Сухой контакт»

Тип РК	Входные (А)			Выходные (С)
	(А)	Параметры РК		
	Гальванически развязанные			
Сухой контакт	1	Лог.0	$0 \text{ В} \leq U_{\text{ВХ}} \leq 16 \text{ В}$	1
		Лог.1	$20 \text{ В} \leq U_{\text{ВХ}}$	
	6	Лог.0	$0 \text{ В} \leq U_{\text{ВХ}} \leq 9 \text{ В}$	
		Лог.1	$12 \text{ В} \leq U_{\text{ВХ}}$	
	5	Лог.0	$0 \text{ В} \leq U_{\text{ВХ}} \leq 1 \text{ В}$	
		Лог.1	$3,6 \text{ В} \leq U_{\text{ВХ}}$	
	7	Лог.0	$0 \text{ В} \leq U_{\text{ВХ}} \leq 1 \text{ В}$	
		Лог.1	$2,5 \text{ В} \leq U_{\text{ВХ}}$	

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Цент	№ докум	Подп	Дата

ГФКП.468351.075РЭ

Таблица 3 - Типы входных и выходных разовых команд

Тип РК	Входные (А)	Выходные (С)
	Гальванически НЕ развязанные	
5 В/обрыв	2	2
5 В/GND (ТТЛ)		3
GND/обрыв (Ключ на корпус)	3	4
GND/5 В		5
GND/5 В (двунаправленные)	4	6

Вид приемки (ВП МО РФ, ОТК) указывается при заказе.

1.1.2 Технические характеристики изделия

Основные технические характеристики изделия

Изделие соответствует профилю SLT3-PAY-2F2U-14.2.3 стандарта VITA 65 «OpenVPX» и может подключаться как к первому, так и ко второму каналу PCI Express.

Количество входных каналов ПК по ARINC-429, не более: 8.

Количество выходных каналов ПК по ARINC-429, не более: 8.

Частота принимаемых ПК: (12..14,5)КГц, 48 КГц $\pm 25\%$, 100 КГц $\pm 1\%$.

Эквивалентная нагрузка входного канала ПК: Rн не менее 20 КОм, Сн не более 10 пФ.

Частота выдаваемых ПК: 12,5 КГц $\pm 1\%$, 50 КГц $\pm 1\%$, 100 КГц $\pm 1\%$.

Нагрузка выходного канала ПК: Rн не менее 600 Ом, Сн не более 10000 пФ.

До 16 гальванически развязанных/связанных входных/выходных разовых команд.

Время срабатывания выходного каскада РК: Tтур= 0,18 мс, Tмах=0,5 мс.

Время срабатывания входного каскада РК: Tтур= 10 мкс, Tмах=80 мкс.

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	Количество входных каналов ПК по ARINC-429, не более: 8.	
					Количество выходных каналов ПК по ARINC-429, не более: 8.	
					Частота принимаемых ПК: (12..14,5)КГц, 48 КГц ±25%, 100 КГц ±1%.	
					Эквивалентная нагрузка входного канала ПК: Rн не менее 20 КОм,	
					Сн не более 10 пФ.	
Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	Частота выдаваемых ПК: 12,5 КГц ±1%, 50 КГц ±1%, 100 КГц ±1%.	
					Нагрузка выходного канала ПК: Rн не менее 600 Ом, Сн не более 10000 пФ.	
					До 16 гальванически развязанных/связанных входных/выходных разовых команд.	
					Время срабатывания выходного каскада РК: Tтур= 0,18 мс, Tмах=0,5 мс.	
					Время срабатывания входного каскада РК: Tтур= 10 мкс, Tмах=80 мкс.	
Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	ГФКП.468351.075РЭ	Лист
						6

Типы и характеристики РК

Гальванически развязанные:

Параметры Вых. РК тип «сухой контакт»:

Напряжение $U < 80V$; Ток $I_{max} < 500mA$;

Гальванически НЕ развязанные:

Параметры Вых. РК тип «Ключ на корпус»:

Напряжение $U < 80V$; Ток $I_{max} < 500mA$;

Параметры Выходных РК типы: +5В/обрыв; +5В/Gnd; Gnd/+5В:

– напряжение $U = U_{ист} = 5V$ (определяется значением источника питания +5В);

– ток $I_{max} < 500mA$ для 1 каскада РК (суммарный ток, определяется мощностью источника питания +5В).

Параметры Входных РК:

– минимальный диапазон напряжения срабатывания: 2 - 4 В;

– минимальный ток срабатывания не более ~0,5mA.

Количество каналов RS-232: до 4 с гальванической развязкой.

Количество каналов RS-485, полудуплексный режим: до 3 с гальванической развязкой.

Количество каналов RS-485, полнодуплексный режим: 1 с гальванической развязкой.

Количество интерфейсов в зависимости от исполнения изделия приведено в таблице 4.

Инв.№ подл. П-3010	Подп. и дата				Лист 7
	Взам. инв. №				
	Инв. № дубл.				
	Подп. и дата				
Из	И	М	П	Д	ГФКП.468351.075РЭ

Количество каналов RS-485, полудуплексный режим: до 3 с гальванической развязкой.
Количество каналов RS-485, полнодуплексный режим: 1 с гальванической развязкой.
Количество интерфейсов в зависимости от исполнения изделия приведено в таблице 4.

Таблица 4

Наименование изделия	Наименование интерфейса	Количество каналов
Модуль сопряжения VPX429-88-DD10-3-8-5-2-RS-TC, ГФКП.468351.075	ARINC-429 (ГОСТ 18977 и PTM 1495-75)	8 входных; 8 выходных
	Разовые команды (ГОСТ 18977)	8 входных типа 5B/GND (ТТЛ); 2 выходных типа GND/5B
	RS-232	4 с гальванической развязкой
	RS-485, полудуплексный режим	3 с гальванической развязкой
	RS-485, полнодуплексный режим	1 с гальванической развязкой
Модуль сопряжения VPX429-00-DD16-3-8-5-8-RS, ГФКП.468351.075-01	Разовые команды (ГОСТ 18977)	8 входных типа 5B/GND (ТТЛ); 8 выходных типа GND/5B
	RS-232	4 с гальванической развязкой
	RS-485, полудуплексный режим	3 с гальванической развязкой
	RS-485, полнодуплексный режим	1 с гальванической развязкой
Модуль сопряжения VPX429-88, ГФКП.468351.075-02	ARINC-429 (ГОСТ 18977 и PTM 1495-75)	8 входных; 8 выходных
Модуль сопряжения VPX429-22, ГФКП.468351.075-03	ARINC-429 (ГОСТ 18977 и PTM 1495-75)	2 входных; 2 выходных

1.1.3 Состав изделия

Составные узлы изделия:

- мультиплексор дифференциальных пар PCI Express;
- коммутатор шины PCI Express;
- генератор тактовых импульсов PCI Express;
- контроллер интерфейса PCI Express - локальная шина;

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Дата	№ докум.	Подп.	Дата

ГФКП.468351.075РЭ

Лист

8

- программируемое логическое устройство, включающее всю логическую часть схемы изделия;
- приемники и передатчики каналов ПК по ARINC-429;
- ОЗУ контроллера ПК;
- контроллер интерфейса PCI Express - UART;
- приемники и передатчики каналов RS-232 и RS-485.

1.1.4 Комплектность

Комплектность изделия соответствует приведенной в таблице 5.

Таблица 5 - Комплектность изделия

Наименование	Кол-во	Обозначение конструкторского документа
Модуль сопряжения VPX429 (см. таблицу 1)	1	(см. таблицу 1)
Этикетка	1	ГФКП.468351.075ЭТ (см. таблицу 1)
Руководство по эксплуатации	1 диск	ГФКП.468351.075РЭ
Программное обеспечение и техническая документация		

1.1.5 Маркировка

Изделие имеет маркировку:

- наименование (шифр) изделия - (см. таблицу 1);
- заводской номер изделия;
- дату изготовления;
- обозначение изделия - ГФКП.468351.075 (см. таблицу 1);
- на платах, входящих в состав изделия, со стороны монтажа - штамп ОТК и ПЗ (ПЗ - при поставке с приемкой ВП МО РФ).

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата						Лист 9
Из	Цент	№ докум	Подп	Дата	ГФКП.468351.075РЭ					

1.1.6 Упаковка

Упаковка изделия соответствует комплекту конструкторской документации на упаковку ГФКП.469135.019 или требованиям на упаковку устройства, в состав которого входит данное изделие.

1.1.7 Конструкция изделия

Изделие реализовано в конструктиве VPX 3U. Габаритный чертеж изделия представлен на рисунке 1.

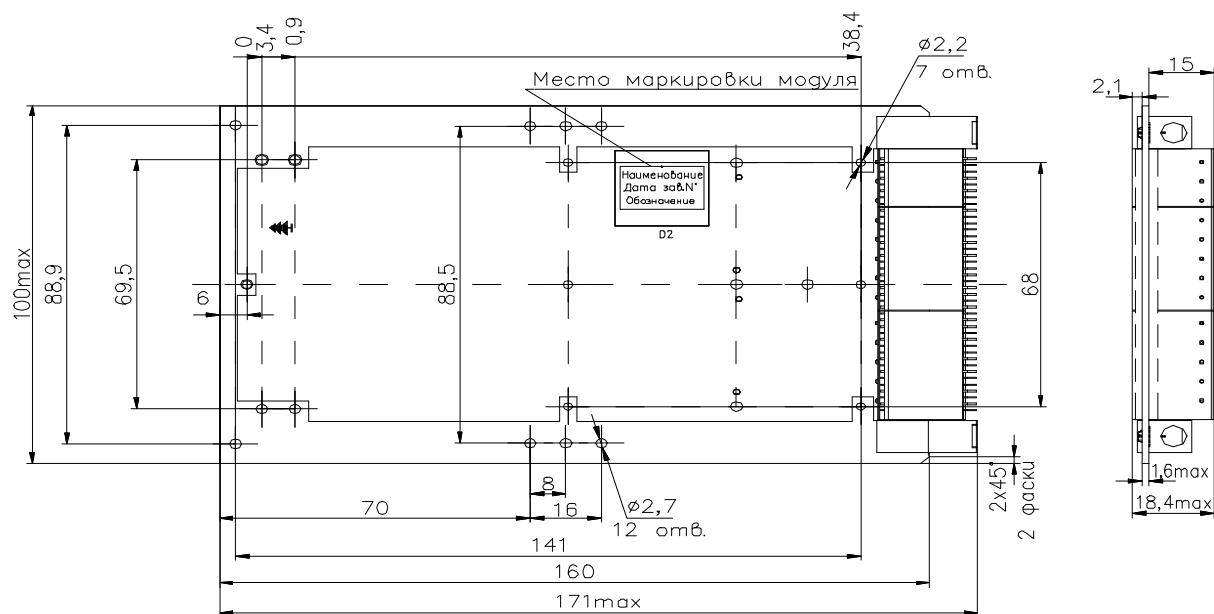


Рисунок 1 - Габаритный чертеж изделия

1.2 Устройство и работа

Структурная схема изделия приведена на рисунке 2.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Черт	№ докум	Подп	Дата
ГФКП.468351.075РЭ				
Копировал				
Формат А4				
Лист				
10				

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Дата	№ докум.	Подп.	Дата

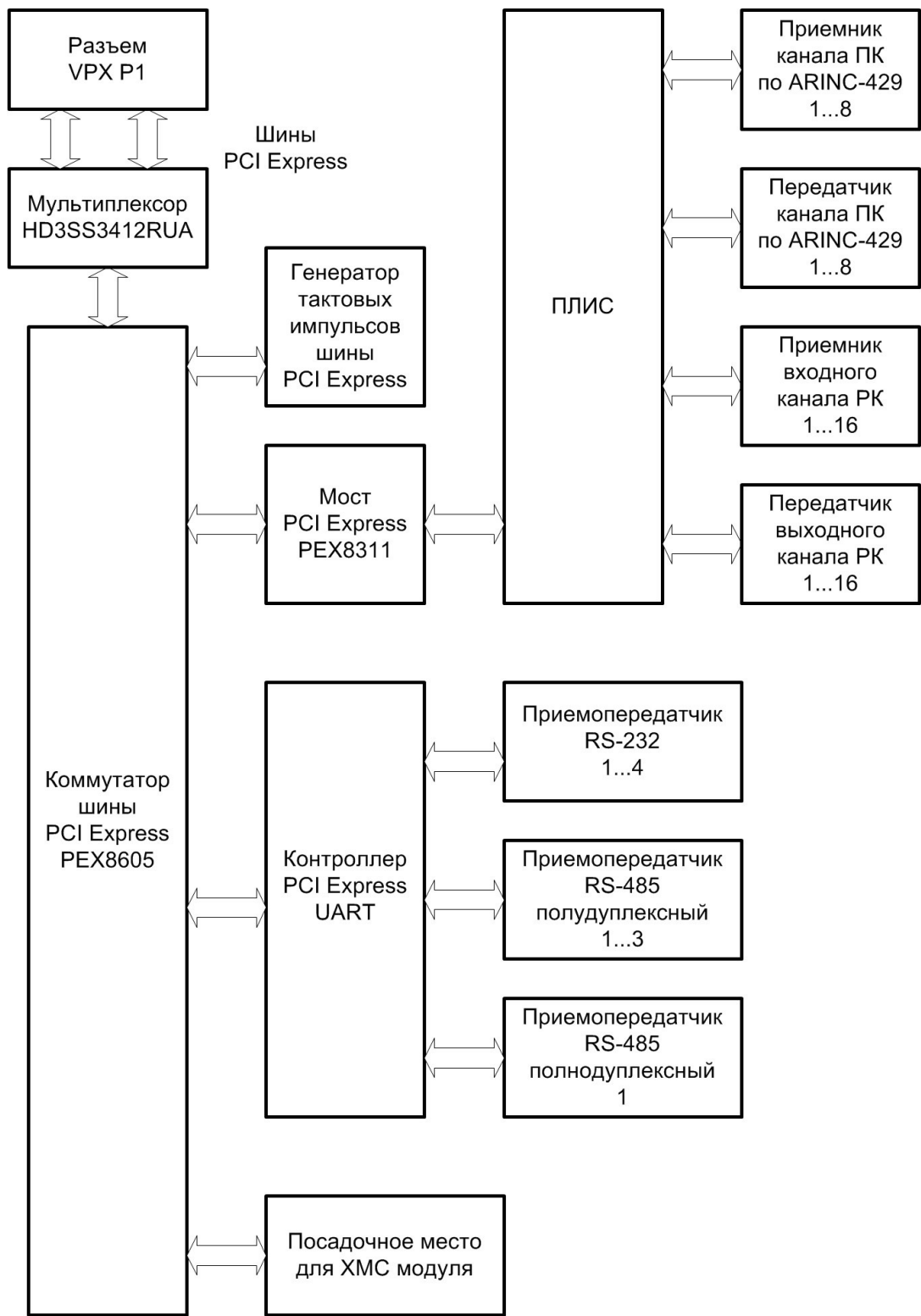


Рисунок 2 - Структурная схема изделия

1.3 Описание работы изделия

Изделие соответствует профилю SLT3-PAY-2F2U-14.2.3 стандарта VITA 65 «OpenVPX». Подключение к интерфейсам PCI Express осуществляется через мультиплексор HD3SS3412RUA. Выбор между шинами PCI Express осуществляется с помощью переключателя SW1. Коммутатор PEX8605 осуществляет подключение трех независимых устройств к шине PCI Express. Микросхема PEX8311 реализует функции моста PCI Express - локальная шина.

Контроллер PCI Express UART выполнен на базе микросхемы XR17V358 фирмы EXAR. Данная микросхема содержит восемь независимых 16550 совместимых UART. Изделие содержит следующие приемопередатчики:

UART1, UART2, UART3, UART4: приемопередатчик RS-232 ADM3101E;

UART5, UART 6, UART7: приемопередатчик RS-485 ADM3078E;

UART8: приемопередатчик RS-485 ADM3077E.

Изделие содержит посадочное место для модулей, выполненных в соответствии со стандартами «VITA 42.0 XMC», «ANSI/VITA 42.3-2006 XMC PCI Express Protocol Layer Standard» и «ANSI/VITA 20-2001 Conduction Cooled PMC».

ПЛИС содержит три основных блока:

- блок В_429 последовательных каналов ARINC 429;
- блок разовых команд В_DD64_DIO;
- блок таймера В_DD64_TMR.

Блок В_429 последовательных каналов ARINC 429

Программная и аппаратная модель блока В_429 повторяет модель модуля PCI429-3 производства АО «Элкус» за исключением того, что в блоке В429 разовые команды PCI429-3 заменены на разовые команда блока В_DD64-DIO.

Инв.№ подл.	П-3010	Подп. и дата				Лист
		Инв. № дубл.				
		Взам. инв. №				
		Подп. и дата				
Из	П	М	П	П	ГФКП.468351.075РЭ	12

Подп. и дата	Инв. № дубл.	Взам. инв. №	Подп. и дата	Инв.№ подл.
				П-3010

Изделие содержит посадочное место для модулей, выполненных в соответствии со стандартами «VITA 42.0 XMC», «ANSI/VITA 42.3-2006 XMC PCI Express Protocol Layer Standard» и «ANSI/VITA 20-2001 Conduction Cooled PMC».

ПЛИС содержит три основных блока:

- блок В_429 последовательных каналов ARINC 429;
- блок разовых команд В_DD64_DIO;
- блок таймера В_DD64_TMR.

Блок В_429 последовательных каналов ARINC 429

Программная и аппаратная модель блока В_429 повторяет модель модуля PCI429-3 производства АО «Элкус» за исключением того, что в блоке В429 разовые команды PCI429-3 заменены на разовые команда блока В_DD64-DIO.

Блок разовых команд B_DD64_DIO

Программная модель блока B_DD64_DIO представляет собой сокращенную версию программной модели модуля DD64-PCI (производства АО «Элкус»). В целях обеспечения программной совместимости все регистры косвенной адресации имеют те же адреса (Регистры прямой адресации RA_DD, RD_DD, RI_DD, RI_TMR смещены на +0x10).

Блок таймера B_DD64_TMR

Программная модель блока B_DD64_TMR эквивалентна программной модели таймера модуля DD64-PCI (производства АО «Элкус»). В целях обеспечения программной совместимости все регистры косвенной адресации имеют те же адреса (Регистры прямой адресации RA_DD, RD_DD, RI_DD, RI_TMR смещены на +0x10).

Структурная схема ПЛИС изделия изображена на рисунке 3.

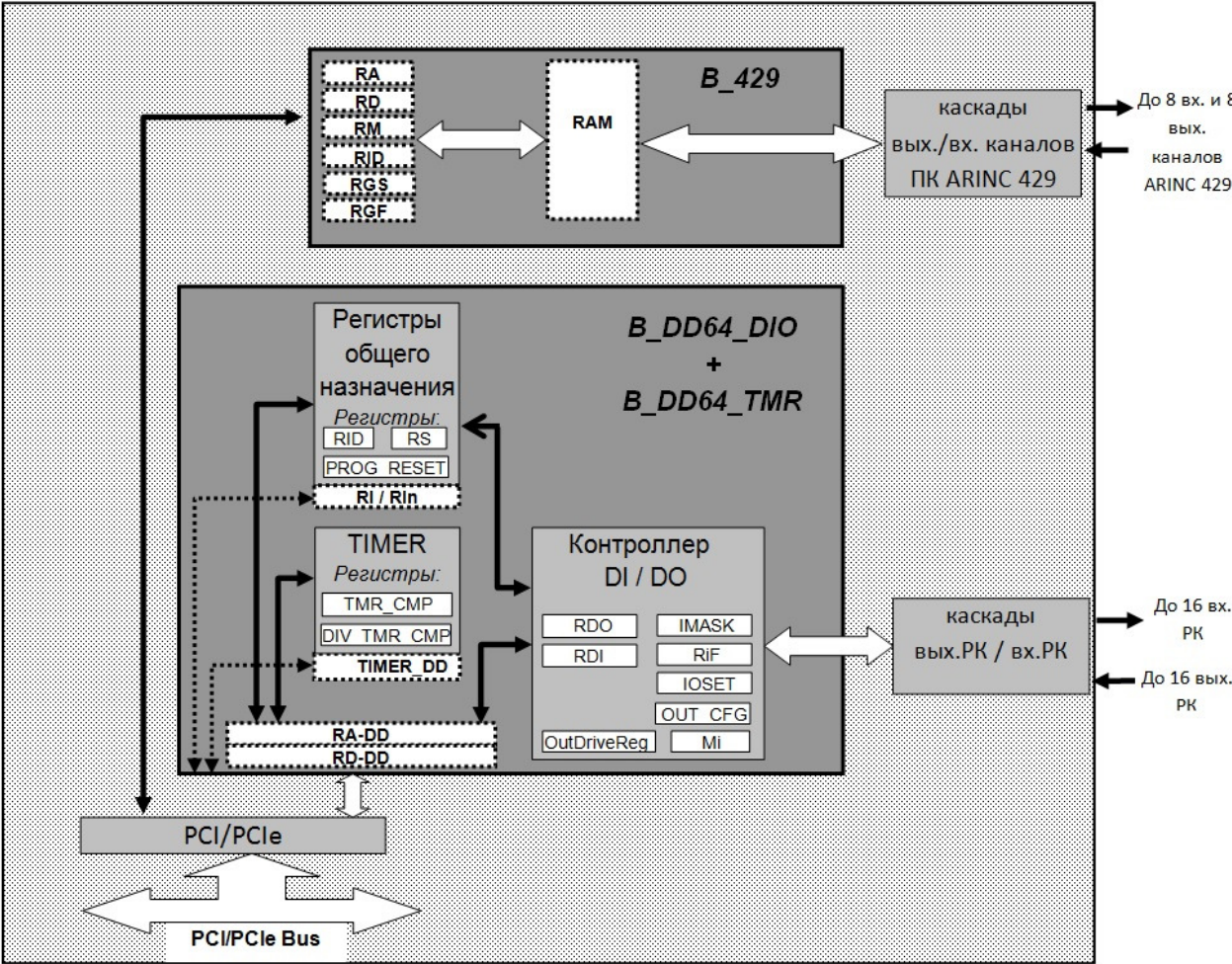


Рисунок 3 - Структурная схема ПЛИС изделия

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Число	№ докум.	Подп.	Дата

1.3.1 Описание блока В_429

1.3.1.1 Регистровая модель блока ПК по ARINC 429

Доступ к регистрам и ОЗУ блока осуществляется через 16-разрядные порты ввода-вывода шины **PCI/PCIe**, в таблице 6 приведены форматы данных и смещение адресов регистров модуля.

Инв.№ подл. П-3010	Подп. и дата		Взам. инв. №	Инв. № дубл.	Подп. и дата	
Из	Лист	№ докум	Подп	Дата	ГФКП.468351.075РЭ	Лист
						14

Таблица 6 - 16-разрядные регистры-порты шины PCI блока

Рег.	Адр	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00	Режим доступа
RA	+0	x																ЗП (x - безразлично) ЧТ
RD	+2																	ЗП/ЧТ с инкрм. RA
RM	+4	0	0	0	0	0	0	0	0	S		x			T	E	M	R
RID	+4	0	1	0	1													ЧТ, программ. RESET
RGS	+6																	ЧТ с обнулением RGS
																		ЗП с обн. блокир. IRQ
RGF	+A	FQ	0	0	FS	0	0	0	0			0			0	0	0	0
																		ЧТ с обнул. FQ,F(4,...1)

Где: **RA, RD** - регистры адреса и данных ОЗУ блока, доступны по записи и чтению от PCI;
RM - регистр режима работы блока, доступен по записи от PCI;
RID - регистр программного сброса и идентификатора блока, доступен по чтению от PCI;
RGS - регистр прерываний каналов ПК блока, доступен по записи и чтению от PCI;
RGF - регистр флагов прерываний каналов ПК и РК блока, доступен по чтению от PCI;

Регистр режимов RM (ЗП)

Регистр режима RM предназначен для задания общих режимов работы блока и включает:

• **RM(0)=R=1**, режим **Настройка**: ЗП в зону **BUF** ОЗУ **разрешена**, прием-выдача ПК **запрещен**,

=0, режим **Работа**: ЗП в зону **BUF** ОЗУ **запрещена**, прием-выдача ПК **разрешен**.

• **RM(1)=M=0(1)**, маска флага прерывания **FS** - формирование флага **FS** **разрешено (запрещено)**;

• **RM(2)=E=0(1)**, сигнал **Запрет Выхода** - выходы **ПК SO** активны (на выходах **ПК SO** активная пауза);

• **RM(3)=T=0(1)**, сигнал **Тест** – каналы **ПК SI** подключены к **линии** (каналы **SI(8-1)** подключены к **SO(8-1)**);

• **RM(7)=S=0(1)**, сигнал **SI32**- при приеме **ПК** в ОЗУ в 32-й разряд данных **ПК** записывается **0 (1)**;

Примечание – Сигналы **R, E, M** устанавливаются сигналом **RESET**, устанавливаются и снимаются программно.

Регистр программного сброса и идентификатора RID (ЧТ)

При чтении регистра в **PCI** передается код идентификатора блока и аппаратно формируется сигнал программного сброса блока, при этом устанавливаются биты регистра **RM(2-0)**, обнуляются регистры **RGS, RGF** и снимается блокировка формирования **IRQ**.

Инв.№ подл.	Подп. и дата	Подп. и дата	Подп. и дата	Подп. и дата
П-3010				
Из	Исполн.	№ докум.	Подп.	Дата

- **RID()** содержит код идентификатора (**ID**) блока, где:

RID(15-12) - код **ID** блока; **RID(11-8)/(7-4)** - код количества каналов **SI/SO**;
RID(3-0) - код версии блока.

Контроллер **VPX429** может быть изготовлен в следующих модификациях по количеству каналов **ARINC-429**:

- **VPX429-88** - восемь входных, восемь выходных каналов ПК, код **ID=5880h**;
- **VPX429-84** - восемь входных, четыре выходных каналов ПК, код **ID=5840h**;
- **VPX429-44** - четыре входных, четыре выходных каналов ПК, код **ID=5440h**;
- **VPX429-42** - четыре входных, два выходных каналов ПК, код **ID=5420h**.

Примечание – В модификациях исключаются старшие каналы ПК, а их зоны памяти в ОЗУ остаются свободными.

Регистр прерываний каналов ПК **RGS** (ЗП/ЧТ)

Регистр прерываний **RGS** при чтении передает код сигналов прерываний каналов ПК, сформированных блоком, при ненулевом коде в регистре и при снятой маске прерывания (**RM(1)=M=0**), блок устанавливает флаг прерывания **FS**, который вызывает формирование запроса прерывания **IRQ** PCI и может быть прочитан в регистре **RGF** блока.

Регистр **RGS** и флаг **FS** обнуляются после чтения регистра **RGS**, по сигналу **RESET** PCI, при чтении регистра **RID** и при установке бита **RM(0)=R=1**, запись произвольного кода в регистр **RGS** снимает блокировку прерывания **IRQ** блока, которая устанавливается при каждом формировании сигнала **IRQ**.

Регистр адреса, данных ОЗУ блока **RA, RD** (ЗП/ЧТ)

Регистры **RA, RD** обеспечивают доступ к **ОЗУ** блока. При обращении к регистру **RD** по записи или чтению, код **RD** записывается в ячейку ОЗУ, или в **RD** возвращаются данные чтения ячейки ОЗУ по адресу, хранящемуся в регистре **RA**. После обращения к **RD** код адреса регистра **RA** инкрементируется.

Регистр флагов прерываний каналов ПК **RF** (ЧТ)

- **RGF(15)=FQ**, флаг устанавливается блоком при формировании запроса прерывания **IRQ** PCI по установке любого из флагов **FS** регистра, сбрасывается при чтении регистра и по сигналам **RESET** блока;

Инв.№ подл.	П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	ГФКП.468351.075РЭ					Лист
											16
Из		Исполн	№ докум	Подп	Дата						

• **RGF(12)=FS** – флаг устанавливается при ненулевом коде в регистре **RGS** блока при снятой маске прерывания (**RM(1)=M=0**), сбрасывается при чтении регистра **RGS**, по сигналам **RESET** блока и при установке бита **RM(0)=R=1**.

1.3.1.2 Распределение адресного пространства ОЗУ блока

Управление работой каналов ПК блока осуществляется через ОЗУ, доступ к которому со стороны шины PCI обеспечивается через регистры RA и RD, форматы адреса ОЗУ приведены в таблице 7.

Таблица 7 - Форматы адреса ОЗУ A(14..0) при приеме и выдаче ПК (32K 16-разрядных слов)

Рг./Зона	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00	Примечания	
ПК SI	1	NB	DTB(12..09)				Счетчик Слов CC(7-0)=RS(7..0)						1/0	при приеме по CC (RS(9)=1) при приеме по АП (RS(9)=0)			
ПК SO			DTB(12-01)											NB -Номер Банка ПК SI/SO			
TB SI	0	1	NC	0	NK SI		Адрес Параметра (АП) SI= ПК(1-8)								NK -код номера канала SI/SO		
TB SO				1	NK SO		Счетчик Слов (CC) SO(7-0)=RS(7..0)								NC -Номер Страницы TB		
USER	0	0	1	Адрес = (1000..1FFF)h - RAM Зоны Пользователя											ЗП/ЧТ		
BUF RB	0	0	0	0	0	0	0	1	AB	0	0/1	NK SI/SO				Рег. Буфер ПК Каналов ПК	
RC								0	0	1	0					Рег. Задания каналов ПК	
BUF RS								0	0	0	1					Рг. Сост./Режима Каналов ПК	
BUF RF								0	0	0	0					Рег. Частоты ПК каналов	

Где:

- **ПК SI/SO (A=4000..7FFFh)** - зона данных ПК входных SI и выходных SO каналов ПК;
- **TB0 SI (A=2000..27FFh)** - зона NC=0 таблиц данных программного расписания входных каналов ПК;
- **TB1 SI (A=3000..37FFh)** - зона NC=1 таблиц данных программного расписания входных каналов ПК;
- **TB0 SO (A=2800..2FFFh)** - зона NC=0 таблиц данных программного расписания выходных каналов ПК;
- **TB1 SO (A=3800..3FFFh)** - зона NC=1 таблиц данных программного расписания выходных каналов ПК;
- **USER (A=1000..1FFFh)** - зона пользователя, свободная для записи-чтения оперативных данных;
- **BUF (A=000.xxxx.xx0x.xxxx)** - зона буферных регистров (RF,RS,RB) каналов приема и выдачи ПК;
- **RC(F..0)** - ADDRESS RC=002Fh..0020h - зона регистров задания каналов NK() приема и выдачи ПК;
- **RS(F..0)** - ADDRESS RS=001Fh..0010h - зона регистров состояния каналов NK() приема и выдачи ПК;
- **RF(F..0)** - ADDRESS RF=000Fh..0000h - зона регистров частоты каналов NK() приема и выдачи ПК;
- **NK SI, NK SO** - трёх разрядный код № канала ПК: каналы SI(8..1), SO(8..1) NK(2..0) = (7..0);
- **NK SI/SO**- четырех разрядный код № канала ПК NK(3..0)=: каналы SI(8..1) = (7..0), SO(8..1) = (F..8)h.

Внимание! Зона BUF ОЗУ (RF,RS,RB) в режиме Работа (RM(0)=R=0) аппаратно защищена от записи по PCI.

Инв.№ подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Из	Лист	№ докум.	Подп.	Дата	ГФКП.468351.075РЭ	Лист
						17

Зона данных ПК ОЗУ Блока ПК SI/SO

Зона данных предназначена для хранения принятых и выдаваемых данных ПК. В ОЗУ записывается и хранится только код первых 31 разряда слова данных **ДПК(31-1)**, 32-й разряд ПК (бит контроля четности) проверяется при приеме и формируется при выдаче аппаратно, код ПК содержится в двух смежных ячейках ОЗУ, формат данных и адреса слова ПК приведен в таблице 8.

Таблица 8 - Формат данных и адреса ОЗУ слова ПК при приеме-выдаче ПК.

D(15..0) ОЗУ	15	14 ... 08	07	06	05	04	03	02	01	00	Адрес ОЗУА(0)
Разряды данных	16	15 ... 09	01	02	03	04	05	06	07	08	0
ПК(31..1) SI/SO	S	31 ... 25	24	23	22	21	20	19	18	17	1

Где:

- ДПК(31..1), код первых 31 разряда данных ПК приема (выдачи);
- при **приеме** ПК в бит S блок записывает код регистра режима **RM(7)=SI32**;
- при **выдаче** ПК, бит **S=1** записывается **пользователем**, если данное слово ПК необходимо **выдать** в канал, **S=0** - если слово необходимо **пропустить**, при этом в канале формируется активная **пауза** длительностью **40T**.

Зона данных ПК для всех каналов ПК общая и разделена на два Банка данных (**NB=0** и **NB=1**), код Номера Банка соответствует 13 разряду адреса ОЗУ и для каждого канала ПК независимо задается в регистрах управления **RC**, **RS(13)** данного канала. Физический адрес ПК ОЗУ SI/SO **A(14..0)** при приеме и выдаче ПК формируется блоком в соответствии с таблицей 7:

– при приеме ПК по адресу параметра (АП), адрес ОЗУ **A(12-1)** формируется из кода данных **DTB(12-1)**, считанного из ОЗУ по адресу **TB SI** для данного адреса параметра **АП** принятого слова ПК и номера канала **SI**;

– при приеме ПК по счётчику слов (СС), адрес ОЗУ А(12-9) формируется аналогично, а адрес ОЗУ А(8-1) равен текущему коду счетчика слов СС, хранящемуся в регистре RS(7-0) данного канала SI;

- при выдаче ПК, адрес ОЗУ **A(12-1)** формируется из кода данных **DTB(12-1)**, считанного из ОЗУ по адресу **TB SO** для данного текущего кода счетчика слов **CC**, хранящемуся в регистре **RS(7-0)** данного канала **SO**.

Зона таблиц данных ТВ программного расписания каналов SI/SO

Зона **ТВ** таблиц программного расписания обеспечивает задание для каждого слова ПК каждого канала меток управления и физического **адреса ОЗУ А(12-1)** зоны данных **ПК** при приеме и выдаче ПК. Адрес ОЗУ **ТВ** при приеме и выдаче ПК формируется блоком в соответствии с таблицей 7:

Инв.№ подл.	Подл. и дата	Взам. инв. №	Инв. № дубл.	Подл. и дата
II-3010				
ИЗ	П	К	П	П

формируется блоком в соответствии с таблицей 7:

- при приеме ПК по адресу параметра (АП), адрес ОЗУ **A(12-1)** формируется из кода данных **DTB(12-1)**, считанного из ОЗУ по адресу **TB SI** для данного адреса параметра **АП** принятого слова ПК и номера канала **SI**;
- при приеме ПК по счётчику слов (СС), адрес ОЗУ **A(12-9)** формируется аналогично, а адрес ОЗУ **A(8-1)** равен текущему коду счетчика слов **СС**, хранящемуся в регистре **RS(7-0)** данного канала **SI**;
- при выдаче ПК, адрес ОЗУ **A(12-1)** формируется из кода данных **DTB(12-1)**, считанного из ОЗУ по адресу **TB SO** для данного текущего кода счетчика слов **СС**, хранящемуся в регистре **RS(7-0)** данного канала **SO**.

Зона таблиц данных TB программного расписания каналов SI/SO

Зона **TB** таблиц программного расписания обеспечивает задание для каждого слова ПК каждого канала меток управления и физического **адреса ОЗУ A(12-1)** зоны данных **ПК** при приеме и выдаче ПК. Адрес ОЗУ **TB** при приеме и выдаче ПК формируется блоком в соответствии с таблицей 7:

ИЗ	П	К	П	П

ГФКП.468351.075РЭ

Лист
18

– при приеме ПК, адрес ОЗУ ТВ А(7-0) равен коду принятых данных ПК(1-8) =АП(7-0), принятого слова ПК данного канала SI (веса разрядов: ПК(1), АП(7) - старшие, ПК(8), АП(0) - младшие);

– при выдаче ПК, адрес ОЗУ ТВ А(7-0) равен текущему коду Счетчика выданных Слов СС(7-0), хранящемуся в регистре RS(7-0) данного канала SO.

Объем таблицы ТВ каждого канала - 256 слов, что соответствует разрядности Адреса Параметра ПК SI и Счетчика Слов ПК SO. Зона таблиц ТВ индивидуальна для каждого канала ПК и разделена на две Страницы (NC=0 и NC=1), код Номера Страницы соответствует 12 разряду адреса ОЗУ и для каждого канала ПК независимо задается в бите регистра управления RC,RS(12) данного канала.

Формат данных таблицы управления (DTB) приведен в таблице 9.

Таблица 9 - Формат Данных ОЗУ таблицы управления (DTB) входных и выходных каналов SI, SO

DTB	15	14	13	12 11 10 09	08 ... 01	00	Режим ПК	Примечания.
SI	M	E	x	A ОЗУ ПК A(12-09)	A ОЗУ ПК A(8-1)	KM	прием по АП	при E=1 нет ЗП ПК в ОЗУ
					безразлично		прием по Сч.Сл.	при E=0 есть ЗП ПК в ОЗУ
SO		E	E1	Адрес ОЗУ ПК A(12-01)			упр. выдача ПК	выдача ПК/форм. паузы 40T

Где:

- DTB(15)=M=1, при RC(15)=0 данного канала формирует бит Прер. в соответствующем разряде регистра RGS;
- DTB(14)=E=0(1) SI -при приеме есть запись ПК в ОЗУ и инкремент СС (нет инкремента и записи ПК в ОЗУ);
- DTB(14,13)=E,E1 SO - при выдаче ПК управление пропуском или формированием слова ПК:
 - выдача слова ПК при DTB(14,13)=00, при DTB(13)=1, если RC(14) = DTB(14);
 - формирование паузы 40T при DTB(14,13)=10, при DTB(13)=1, если RC(14) # DTB(14);
- KM=1 - при циклической выдаче ПК обнуляет код Сч. Слов регистра RS(7-0) канала SO, - в остальных режимах обнуляет бит RS(8)=ES, прекращая прием-выдачу ПК по данному каналу.

Регистры управления (RF,RC,RS,RB) каналов приема-выдачи ПК

В данной зоне ОЗУ расположены регистры управления входными и выходными каналами ПК, каждому каналу ПК приписаны: регистр настройки частоты ПК - RF, регистр задания - RC, регистр состояния/режима - RS, и две пары буферных регистров данных ПК - RB.

Регистры RF,RS,RB располагаются в зоне BUF ОЗУ, в режиме Работа (RM(0)=R=0) эта область памяти для шины PCI доступна только по чтению, в режиме Настройка (RM(0)=R=1) - по записи и чтению.

Регистр Настройки Частоты (RF) и буферные регистры данных (RB) каналов ПК.

Инв.№ подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	Лист
Из	Изд.	№ докум.	Подп.	Дата	19

ГФКП.468351.075РЭ

Регистр RF предназначен для установки в режиме Настройка кода частоты (F1,F0) приема (выдачи) ПК и установки режима контроля (P) при приеме ПК (или формирования - при выдаче ПК) бита четности (32-й бит слова ПК) данного канала. Формат данных регистров RF представлен в таблице 10.

Таблица 10 - Формат данных регистров настройки частоты каналов ПК

Регистр	15..3	2	1	0	Обмен по PCI	Код F1,F0	1X	01	00
RF SI/SO	0	P	F1	F0	ЗП/ЧТ при R=1	Частота SI, кГц	100	48 +/-25%	12..14,5
RF SI/ SO	x	P	F1	F0	ЧТ при R=0	Частота SO, кГц	100	50	12.5

При **P=0**, для входных каналов- **контроль нечетности**, для выходных каналов- **дополнение до нечетности** ПК.

P=1, для входных каналов - **блокировка контроля**, для выходных каналов - **дополнение до четности** ПК.

Регистры **RB** предназначены для приема-выдачи текущего кода ПК каналов ПК, в режиме **Настройка** должны обнуляться пользователем, в режиме **Работа** регистры **RF**, **RB** доступны пользователю только по чтению.

Регистры задания (RC) и состояния/режима (RS) входных, выходных каналов ПК

Для каждого канала ПК в ОЗУ закреплены индивидуальные регистры **RC**, **RS**, форматы данных кодов настройки и состояния регистров для входных и выходных каналов ПК приведены в таблице 11.

Таблица 11 - Формат данных регистров управления RC,RS входных (SI), выходных (SO) каналов ПК

Регистр	15	14	13	12	11	10	09	08	07...00	Режим PCI	Режим ПК
RC SI	M	x	NB	NC	x	ZC	AC	EC	Начальный код	ЗП / ЧТ	установка
RC SO	M	E	NB	NC		ZC	CC	EC	Счетчика Слов ПК CC(7-0)		задания
RS SI/SO	0									ЗП при R=1	настройка RF
RS SI	x	x	NB	NC	0	0	AS	ES	Текущий (исполнительный) код	ЧТ при R=0	прием ПК
RS SO						0	CS	ES	Счетчика Слов ПК CC(7-0)		Выдача ПК

Где:

- **RC(15)=M=1(0)** - запрет (разрешение) формир. Прер. INT данного канала в регистре RGS по метке DTB(15).
- **RC(14) SO=E** - управление режимом выдачи ПК по меткам DTB(14,13) по данному каналу SO ПК.
- **RC,RS(13) =NB** - код Номера Банка данных ПК данного канала ПК, соответствует адресу ОЗУ A(13).
- **RC,RS(12) =NC** - код Номера Страницы данных DTB данного канала ПК, соответствует адресу ОЗУ A(12).
- **RC(10) =ZC=1** - флаг установки задания смены режима приема (выдачи) ПК по данному каналу.
- **RC,RS(9) SI=AC,AS=0(1)** - режим приема ПК по Адр. Параметра (по Сч. Слов) по данному каналу SI.
- **RC,RS(9) SO=CC,CS=0(1)** - циклический (однократный) режим выдачи ПК по данному каналу SO.
- **RC,RS(8) =EC,ES=0(1)** - запрет (разрешение) режима приема-выдачи ПК по данному каналу.

1.3.1.3 Работа блока

Чтение регистра **RID(+4)** идентификатора блока вызывает сброс блока в начальное состояние.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Центр	№ докум.	Подп.	Дата
ГФКП.468351.075РЭ				
Лист				
20				

Обмен данными с шиной PCI и управление режимами работы блока осуществляется через регистры-порты блока. База адресов портов пользователя блока в адресном пространстве портов шины PCI и номер прерывания IRQ назначаются BIOS при загрузке ЭВМ и не могут переназначаться пользователем в сеансе работы. Их параметры могут быть получены стандартными средствами BIOS или функциями поставляемого ПО блока.

В режиме **Настройка (RM(0)=R=1)** блок не осуществляет прием-выдачу ПК, а данные регистров **RC,RS,RF** ОЗУ не воспринимаются и не модифицируются.

В режиме **Работа (RM(0)=R=0)** блок осуществляет обработку сигналов Готовности от каналов ПК и обеспечивает режимы приема (выдачи) ПК в соответствии с программной моделью блока.

В режиме **Тест (T=RM(3)=1)** работа выходных каналов ПК не меняется, а к логическим входам входных каналов ПК подключаются сигналы соответствующих логических выходов выходных каналов ПК.

Настройка (инициализация) каналов ПК на частоту ПК

В режиме **Настройка (RM(0)=R=1)** все адресное пространство ОЗУ блока доступно по записи, только в этом режиме осуществляется настройка каналов на **частоту ПК** и режим **контроля-формирования** бита четности приема-выдачи ПК. Настройка осуществляется записью кода настройки по разрядам регистров ОЗУ **RF(2-0)** входных и выходных каналов ПК, по остальным разрядам должен быть записан код «0».

В режиме **Настройка** может выполняться предварительная настройка регистров и запись массивов данных **ПК** и **ТВ** ОЗУ каналов ПК.

Настройка каналов ПК на режимы приема-выдачи

Настройка канала на режим приема-выдачи ПК включает формирование и запись данных таблиц программного расписания (**DTB**), запись **стартовых** выходных данных ПК, и последующая настройка регистра задания **РС** данного канала на выбранный режим работы.

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	В режиме Настройка ($KM(0)=K=1$) все адресное пространство ОЗУ блока доступно по записи, только в этом режиме осуществляется настройка каналов на частоту ПК и режим контроля-формирования бита четности приема-выдачи ПК. Настройка осуществляется записью кода настройки по разрядам регистров ОЗУ RF(2-0) входных и выходных каналов ПК, по остальным разрядам должен быть записан код «0».					
					В режиме Настройка может выполняться предварительная настройка регистров и запись массивов данных ПК и ТВ ОЗУ каналов ПК.					
					Настройка каналов ПК на режимы приема-выдачи					
					Настройка канала на режим приема-выдачи ПК включает формирование и запись данных таблиц программного расписания (DTB), запись стартовых выходных данных ПК, и последующая настройка регистра задания РС данного канала на выбранный режим работы.					
Из	И	М	П	И	ГФКП.468351.075РЭ					Лист
										21

В режиме **Работа**, для каждого канала ПК блок анализирует флаг установки задания **ZC=RC(10)** регистра **RC**, всегда доступном по записи, и при его установке переписывает содержимое регистра **RC** в регистры **RC,RS** со снятием флага задания **ZC**. Очередная запись кода настройки в регистр **RC** данного канала должна производиться только при снятом флаге задания (**ZC=0**) от предыдущей настройки.

Запись данных в **регистры задания** может осуществляться как в режиме **Работа**, так и в режиме **Настройка**, при этом обеспечиваются следующие режимы настройки приема-выдачи ПК:

- **RC(10..8) SI (ЗП)=101(111)** - режим приема ПК по Адресу Параметра (по Счетчику Слов);
- **RC(10..8) SO(ЗП)=101(111)** - циклический (однократный) режим выдачи ПК по данному каналу;
- **RC(10..8) (ЗП) = 1x0** - прекращение приема-выдачи слов ПК по данному каналу;
- **RC(10..8) (ЧТ) = 1xx(0xx)** - задание не принято (задание принято или нет задания).

Далее, до установки следующего задания в канале, работа канала осуществляется с регистром **RS**, кроме битов **RC(15,14)=M,E**, которые считываются на исполнение из регистра задания **RC** и могут модифицироваться в процессе приема-выдачи ПК записью регистра **RC** без установки флага задания. Код регистра **RC(7-0)**, переписанный в регистр **RS(7-0)** при задании является кодом начального состояния **Счетчика Слов** приема-выдачи данного канала.

Установка режима **Работа** (**RM(0)=R=0**) должна производиться только при настроенных режимах приема-выдачи ПК, при этом выдача ПК в канал всегда начинается с пустого слова (пауза 40T), либо при обнуленном состоянии регистров управления **RC, RS** каналов ПК и последующей настройкой в режиме **Работа**.

В режиме **Работа** регистры **RF, RS, RB** доступны только по чтению, при этом в разрядах регистров **RF(15-3), RB** информация произвольна, а регистры **RS** отражают следующие состояния режима работы каналов ПК:

- **RS(10-8) SI (ЧТ) =001(011)** - выполняется режим приема ПК по Адресу Параметра (по Счетчику Слов);

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	Лист 22
	Из	Число	№ докум.	Подп.	

ГФКП.468351.075РЭ

- **RS(10-8) SO (ЧТ)=001(011)** - выполняется **циклический (однократный)** режим выдачи ПК;
- **RS(10-8) (ЧТ)=0x0** - **выполнился** прием или однократный режим выдачи ПК, или **нет** приема-выдачи ПК;
- **RS(7-0) (ЧТ)=Сч.Сл.(7-0)** - текущее значение количества принятых, выданных слов ПК.

Работа Блока в режиме выдачи ПК

При обработке Готовности выходного канала, блок считывает код данных регистра **RC**, затем анализирует флаг задания **ZC** и запоминает значение битов **RC(15,14)**.

При отсутствии задания (**ZC=0**), читается регистр **RS** и при разрешении выдачи (**ES=RS(8)**) запоминается значения **RS(13-0)** полей **NB,NC,CS,ES,CC(7-0)**, далее по адресу сформированному из кодов **NC,NK,CC(7-0)** в соответствии с таблицей 2 читаются данные таблицы **DTB**, содержащие метки управления выдачей и адрес ОЗУ, где содержится код выходного слова ПК, который надо выдать при данном значении кода **Сч.Сл.** ПК.

По полученному адресу и коду **NB** из зоны данных **ПК** считывается код **Данных ПК** выдачи и посылается на выдачу в канал, после чего код **Сч. Слов.=RS(7-0)** инкрементируется и данные регистра **RS** возвращаются в ОЗУ.

Следующее слово выдается в канал ПК аналогично. Т.о. адреса, записанные в таблице программного расписания канала, определяют адреса слов ПК, которые последовательно, в соответствии со значениями Счетчика Слов регистра **RS** канала, будут выдаваться в канал выдачи.

Бит **KM=DTB(0)=1** в **циклическом** режиме выдачи обнуляет Счетчик Слов (**RS(7-0)**) канала, а в **однократном** режиме сбрасывает бит **ES=RS(8)**, что **прекращает** выдачу ПК в данном канале (код **RS(10-8)=010** - выполнена однократная выдача ПК). В **циклическом** режиме после сброса Счетчика Слов регистра **RS** канала, выдача ПК продолжается со значения **Сч. Слов=0**.

Инв.№ подл.	П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	ГФКП.468351.075РЭ					Лист
											23
Из	Число	№ докум.	Подп.	Дата							

При коде **S=0** в 32-м разряде данных ПК (см. таблицу 3) выдача слова ПК не производится, а формируется активная пауза длительностью 40Т - пропуск слова. Пропуск слова выполняется независимо от данных ПК и, если получена метка **DTB(14,13)=10**, или, если при **DTB(13)=1**, значение **DTB(14)** не равно значению бита регистра **RC(14)=E**.

Метки управления выдачей **DTB(14,13)** при модификации бита регистра **RC(14)=E**, позволяют в процессе **циклической** выдачи формировать временную диаграмму выдачи слов ПК. Модификации регистра **RC** в процессе выдачи ПК не могут вызвать «разрыва» кода ПК выдачи.

При выдаче кода ПК с меткой управления **DTB(15)=M=1**, если значение бита регистра **RC(15)=M=0**, в соответствующем разряде регистра **RGS** формируется бит прерывания **INT** данного канала **SO**.

На рисунке 4 приведена временная диаграмма работы блока при выдаче ПК.

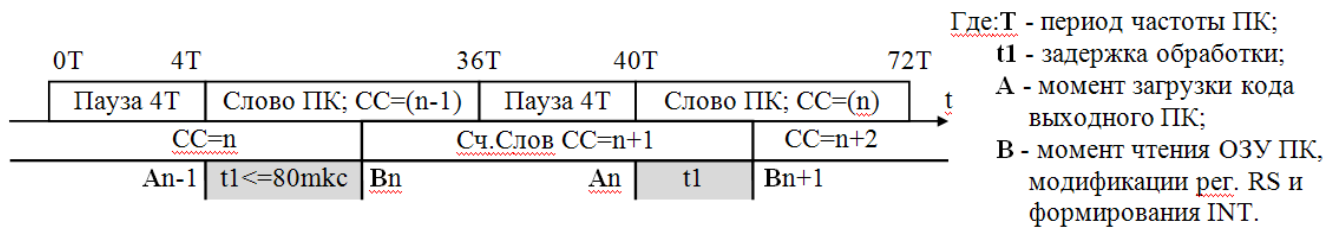


Рисунок 4 - Временная диаграмма работы адаптера при выдаче ПК

Работа Блока в режиме приема ПК

Работа входного канала начинается с приема в буферные регистры **RB** канала **правильного** слова ПК (наличие 32-х бит, бита нечетности и паузы после слова ПК), далее работа до чтения регистра **RS** выполняется аналогично работе выходного канала, при этом запоминаются бит регистра **RC(15)=M** и значения полей регистра **RS NB,NC,AS,ES,CC(7-0)**, бит **AS** определяет режим приема ПК по **Адресу Параметра** или по **Счетчику Слов** ПК. Затем по адресу сформированному из кодов **NC,NK,АП(7-0)** в соответствии с таблицей 2 читаются данные таблицы **DTB**, содержащие метки управления и адрес ОЗУ для приема входного слова ПК.

Далее в режиме приема по **АП** по полученному адресу и коду **NB** формируется адрес ОЗУ **данных** ПК (см. таблицу 2), куда записываются принятые данные ПК.

В режиме приема по **Счетчику Слов** адрес ПК формируется из кода **NB**, кода **DTAB(12-9)** и кода **Счетчика Слов** регистра **RS(7-0)** (см. таблицу 2).

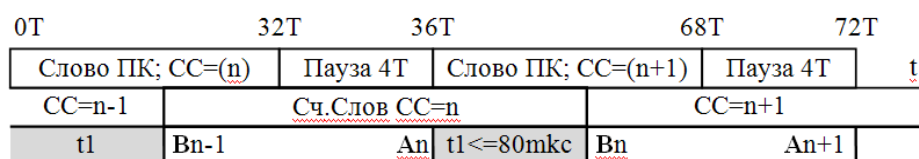
Обработка метки **M=DTB(15)** в обоих режимах приема выполняется аналогично каналам SO.

Инкремент **Счетчика Слов** выполняется, только если **DTB(14)=E=0**, при этом в регистре **RS** сохраняется текущее значения Счетчика Слов, соответствующее количеству принятых слов ПК.

При получении метки **DTB(14)=E=1** запись ПК в ОЗУ и инкремент **Сч. Слов SI** не производится, а при получении метки **DTB(0)=KM=1** сбрасывается бит регистра **RS(8) =ES**, что **прекращает** прием ПК по данному каналу (код **RS(10-8)=0x0**).

При записи принятого ПК в ОЗУ для всех каналов, в разряд данных, соответствующий **ПК(32)=S**, записывается значение кода регистра **RM(7)=S**.

На рисунке 5 приведена временная диаграмма работы блока при приеме ПК.



T - период работы П; t1 - задержка обработки; A - момент приема кода входного ПК;

В момент записи ПК в ОЗУ ПК, модификации регистра RS и формирования INT

Рисунок 5 - Временная диаграмма работы адаптера при приеме ПК

Формирование и обработка прерываний блока

При работе блок может формировать до шестнадцати сигналов прерываний, по одному от каждого из каналов ПК, в свою очередь эти прерывания формируют один сигнал запроса прерывания **IRQ PCI**.

Флаги прерываний от каналов ПК **INT SI(8,.1)** и **INT SO(8,.1)** формируются в регистре блока **RGS** при приеме-выдаче слова ПК по данному каналу, если в канале выполняется условие **RC(15)=M=0** и **DTB(15)=M=1**. Вызов запроса прерывания **IRQ** по этим флагам возможен только при снятой маске прерывания регистра **RM(1)=M=0**. Прерывания от каналов ПК формируются по следующим условиям:

- **по входным каналам** - при приеме по заданному каналу слова ПК с заданным **Адресом Параметра**;

Инв.№ подл.	П-3010	Подп. и дата	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	
Из	Изд.	№ докум.	Подп.	Дата	ГФКП.468351.075РЭ		
						Лист 25	

– по выходным каналам - при выдаче по заданному каналу слова ПК с заданным номером Счетчика Слов ПК.

Флаги прерываний от входных каналов ПК формируются при перезаписи принятого кода из буфера в ОЗУ ПК, по времени это происходит не позднее интервала 80 мкс после окончания паузы 4Т, следующей за словом ПК, вызвавшим это прерывание.

Флаги прерываний от выходных каналов ПК формируются при перезаписи выходного кода из ОЗУ ПК в выходной буфер канала, что по времени соответствует моменту начала выдачи предыдущего слова ПК плюс интервал не более 80 мкс.

При $RM(1)=M=0$ и не нулевом состоянии регистра **RGS** блок в регистре **RGF(12)** формирует флаг **FS** прерывания от каналов ПК блока, а в разрядах регистра **RGF(11-8)** независимо формируются флаги прерываний от входных ПК **DIN(4-1)**.

При любом установленном флаге **FS** в регистре **RGF**, блок формирует сигнал запроса прерывания **IRQ PCI** с установкой в бите регистра **RGF(15)** флага **FQ** - признака, что прерывание **IRQ PCI** установлено блоком VPX429. Этот флаг необходим для указания программе в случае разделения одного прерывания **IRQ** двумя активными устройствами на **PCI**.

После формирования сигнала **IRQ PCI** блоком, последующее формирование сигнала **IRQ** блокируется блоком до выполнения записи произвольного кода в регистр **RGS(+6)**, при этом флаги прерываний **INT()** **RGS** продолжают накапливаться.

Флаг **FQ** регистра **RGF** снимаются после чтения регистра **RGF(+Ah)**, которое обязательно должно выполняться в обработчике прерывания блока.

Флаг **FS** и флаги **INT()** регистра **RGS** каналов ПК обнуляются после чтения регистра **RGS**, которое может выполняться как в обработчике прерываний, так и в основной программе.

Период возникновения условий прерываний по любому из каналов ПК не должен быть менее времени реакции и обработки прерывания **IRQ** процессором, иначе возможны потери прерываний.

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
Из	Число	№ докум.	Подп.	Дата
<div style="text-align: center;">ГФКП.468351.075РЭ</div>				
<div style="text-align: right;">Лист 26</div>				

1.3.1.4 Рекомендации пользователям по работе с блоком В_429

Различные технические возможности блока последовательных каналов В_429, предусмотренные разработчиками не очевидны на первый взгляд пользователя и требуют дополнительных комментариев, которые приведены в этом разделе.

Программное Расписание (ТВ) каналов ПК

- позволяет гибко планировать адресное размещение параметров в ОЗУ блока;
- адресовать общие параметры выдачи для N-каналов или для различных протоколов выдачи из одного источника (ячейки ОЗУ);
- организовывать множество подготовленных кадров однократной выдачи (в суммарном пределе 256 слов ПК);
- организовывать множество кадров однократного приема по Сч. Слов (в суммарном пределе 256 слов ПК канал);
- не модифицируемые параметры выдачи не требуют их перезаписи в буфер при повторной выдаче;
- при приеме организовывать прерывания в одном канале по различным Адресам Параметра.

DTV(14,13) - наличие управления приема-выдачи слов ПК по DTV

При приеме по Сч. Слов позволяет организовывать режимы Анализатора ПК: трасса Параметра, «Сито» и т.п.

При циклической выдаче наличие двух разрядов **DTV(14,13)**, вместе с управлением по переключению бита **RC(14)=E**, позволяет без смены Задания быстро включать в кадр выдачи дополнительные зарезервированные в пустых словах Параметры, а так же организовывать режим псевдо-однократной выдачи, когда в кадре выдачи присутствуют три типа слов: не модифицируемые (**DTV(14,13)=00**), и модифицируемые (**DTV(14,13)=01,11**), которые выдаются в канал соответственно при **RC(14)=E=0,1** из двух разных областей ОЗУ - области выдачи и области модификации, которые меняются программой.

Такой режим защищает выдачу от «разрыва» кода при модификации, но требует удвоенного количества слов модифицируемых параметров в кадре выдачи.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Изд.	№ докум.	Подп.	Дата
ГФКП.468351.075РЭ				
				Лист
				27

NB - наличие 2-х буферов ПК на канал

Позволяет быстро в пределах одного расписания (ТВ) в однократном режиме или произвольно переключать **NB** для фиксации кадра приема или перехода на подготовленный кадр выдачи (в т.ч. механизм защиты от «разрыва» кода ПК (младший/старший) приема или выдачи при совпадении с обменом по РСІ данного параметра.

NC - наличие 2-х буферов ТВ на канал ПК

Позволяет иметь и быстро переключать на два различных протокола приема-выдачи ПК для фиксации кадра приема или перехода на подготовленный кадр выдачи (в т.ч. механизм защиты от «разрыва» кода ПК (младший./старший) приема или выдачи при совпадении с обменом по ISA.

Рекомендации по построению программ пользователя

При построении программ необходимо в первую очередь, исходя из специфики задач, правильно выбрать режим работы по каждому из каналов ПК, для входных каналов - это прием по АП или Сч. Слов и необходимость прерываний, для выходных - циклическая или однократная, с прерываниями или без, выдача ПК.

При **выдаче ПК** наиболее удобным является циклический режим выдачи без прерываний с подкачкой модифицируемых параметров в темпе задачи и построение необходимого цикла кадра выдачи включением в кадр пустых слов (пауз 36Т), при этом «медленные» параметры в кадре выдаются один раз, а более «быстрые» - два или более раз, что достигается составлением соответствующего расписания (ТВ) выдачи.

При всем удобстве работы, этот режим не исключает ситуации «разрыва» кода выдачи, когда смена параметра по РСІ в ОЗУ блока совпадает с запросом этого параметра каналом, при этом в канал может попасть половина слова (16-разр.) старого, половина нового от слова ПК (32 разряда), что не всегда допустимо.

Загрузка канала словом ПК (два 16-разрядных слова) в блоке занимает время **1 мкс**, при этом возможна ситуация попадания внутрь этого цикла 3П по РСІ, и ситуация, когда 3П по РСІ двух 16-разр. слов одного параметра будет разделена этим циклом.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Число	№ докум.	Подп.	Дата
ГФКП.468351.075РЭ				
Лист 28				

Для исключения этой ситуации возможны следующие программные решения:

- проверка на изменение только в одной половине слова ПК, что не приведет к разрыву кода ПК;
- отслеживание по чтению Сч. Слов канала какой параметр в данный момент может быть запрошен каналом;
- смена параметра в ОЗУ тремя записями: ЗП в старшую часть кода «0», ЗП младшей, ЗП старшей части кода ПК, при этом, в худшем (маловероятном) случае, в канал в данный момент выдастся пустое слово;
- одни и те же модифицируемые параметры выдавать из двух разных зон ОЗУ различаемых в ТВ-выдаче разными кодами **DTB(14,13)=01(11)** и адресами ПК, и управлять их выдачей перенастраивая бит **RCO(14)** данного канала (псевдо-разовая выдача), при этом модифицируется та область ОЗУ, из которой при данной настройке RCO выдаются пустые слова, перенастройка бита **RCO(14)** без установки флага Задания (**RCO(10)=1**) может производиться на фоне выдачи в любой момент времени и не приводит к обрыву или разрыву кода ПК;
- работать в однократном режиме выдачи с заранее подготовленным кадром данных ПК без модификации данных.

Однократный режим выдачи без модификации параметров в процессе выдачи полностью исключает ситуацию разрыва кода, но требует формирования периода кадра выдачи программой и отслеживания момента окончания кадра по прерыванию **IRQ** или по снятию бита **RSO(8)** для последующей выдачи задания и перехода на другую подготовленную зону выдачи ПК.

В однократном режиме выдачи с помощью Расписания DTB может быть создано произвольное количество кадров выдачи произвольной длины (в суммарном пределе 256 слов ПК), а при выдаче задания в RCO записывается начальный код Сч. Слов ПК, соответствующий началу данного кадра, конец кадра определяется битом **DTB(0)=KM** в ТВ (в циклической выдаче начало кадра всегда должно соответствовать коду Сч. Слов=0).

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	<div style="text-align: center;">ГФКП.468351.075РЭ</div>					Лист
										29
Из	Число	№ докум.	Подп.	Дата						

Следует отметить, что прерывание INT() при выдаче для данного значения Сч. Слов формируется по времени в момент, когда началась выдача предыдущего слова ПК, но с этого момента можно уже перенастраивать работу канала (ЗП RCO) без опасения нарушить выдачу ПК.

При приеме ПК в задачах пользователя основными трудностями остается та же проблема защиты от «разрыва» кода ПК при чтении по PCI, а так же организация файлового режима приема ПК (безадресный ПК).

Для защиты от «разрыва» кода можно предложить четырех цикловое Чтение: ЧТ RS, ЧТ ПКмл., ЧТ ПКст., ЧТ RS и проверка на отсутствие модификации Сч. Слов RS после чтения ПК, а так же просто повторное чтение ПК с последующим сравнением.

Организация файлового приема зависит от используемого протокола обмена, но всегда предполагает прием заданного количества слов ПК по какому то условию.

Блок не может сформировать прерывание IRQ по значению кода Сч. Слов ПК SI, что вызывает трудности при организации приема файла, поэтому протокол нужно строить так чтобы передающая система выдавала однократный кадр длиной <256 слов ПК с предварительным уведомлением.

Прием файла может сопровождаться получением входной РК (с прерыванием IRQ или без) и последующего приема кадра известной длины в очищенную область памяти с настройкой канала на прием по Сч. Слов.

Возможен протокол, когда в канале выделен специфичный АП, который содержит информацию о файле, получение данного слова ПК в адресном приеме (с прерыванием INT или без) означает, что будет передан файл и требуется настройка канала на режим приема по Сч. Слов, в этом случае требуется известное время на обработку прерывания и настройку канала перед передачей кадра ПК.

В регистре RS канала SI сохраняется текущее значение кода принятого количества слов ПК.

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	Информация	Лист	
							30
							ГФКП.468351.075РЭ
							30

1.3.2 Описание блоков B_DD64_DIO и B_DD64_TMR

1.3.2.1 Структура блока разовых команд B_DD64_DIO и таймера B_DD64_TMR

Обмен данными модуля с шиной PCI/PCIe осуществляются через 16-разрядные регистры-порты модуля, входящие в адресное пространство портов шины PCI. Доступ к внутренним регистрам организован через прямую и косвенную адресацию. В зоне прямой адресации находятся регистры с быстрым доступом (одна транзакция по PCI) **RI** - регистр прерываний и **TIMER** - регистр таймера, а также регистры доступа к зоне косвенной адресации **RA_DD** - регистр адреса и **RD_DD** - регистр данных. Доступ к остальным внутренним блокам происходит через регистры **RA_DD** и **RD_DD** (две транзакция со стороны PCI) . В зоне косвенной адресации находятся регистры настройки таймера, регистры общего назначения, регистры управления каналами разовых команд (**PK**) и регистры ЦАП/АЦП.

Смещение	Регистр прямой адресации	RA	Регистры косвенной адресации
+0h	<i>Reserved</i>	00h	<i>Регистры контроллера вх/вых PK:</i> RDOi, RDli, OutDriveReg, IMASKi, RIFi, IOSETi, OUT_CFGi, Mi <i>Регистры общего назначения :</i> RID, RS, PROG_RESET <i>Регистры таймера :</i> TMRCMP, DIV_TMR_CLK
+2h	<i>Reserved</i>	.	
+4h	<i>Reserved</i>	.	
+16h	RIn	.	
+18h	RI	.	
+1Ah	TIMER_DD	.	
+1Ch	RA_DD	.	
+1Eh	RD_DD	.	
		.	
		.	
		.	
		.	
		.	
		.	
		.	
		9Fh	

Рисунок 6 - Адреса обращения к регистрам блоков B_DD64_DIO и B_DD64_TMR

1.3.2.2 Начало работы

После установки модуля и запуска ЭВМ, на этапе работы программы BIOS происходит распределение ресурсов пространства PCI. В результате модуль VPX429 получает свой базовый адрес BASE и номер прерывания IRQ. Дальнейшая работа с устройством осуществляется с использованием этих значений.

Обращение к регистрам блока таймера B_DD64_TMR и блока разовых команд B_DD64_DIO, находящихся в зоне косвенной адресации, производится через регистры адреса **RA_DD** и данных **RD_DD**.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
И-3010				
Из	Число	№ докум.	Подп.	Дата
ГФКП.468351.075РЭ				Лист
				31

Формат регистра адреса RA_DD (Adress = BASE+1Ch)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	ADR ₁₅	ADR ₁₄	ADR ₁₃	ADR ₁₂	ADR ₁₁	ADR ₁₀	ADR ₉	ADR ₈	ADR ₇	ADR ₆	ADR ₅	ADR ₄	ADR ₃	ADR ₂	ADR ₁	ADR ₀
Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr

Формат регистра данных RD_DD (Adress = BASE+1Eh)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	DAT ₁₅	DAT ₁₄	DAT ₁₃	DAT ₁₂	DAT ₁₁	DAT ₁₀	DAT ₉	DAT ₈	DAT ₇	DAT ₆	DAT ₅	DAT ₄	DAT ₃	DAT ₂	DAT ₁	DAT ₀
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

Для чтения или записи регистра косвенной адресации производится запись значение адреса в регистр RA_DD, а затем чтение либо запись регистра RD_DD соответственно.

1.3.2.3 Описание регистров общего назначения

В зоне регистров общего назначения находятся регистры, объединяющие управление и контроль внутренними функциональными частями блоков B_DD64_DIO и B_DD64_TMR. Рассмотрим их по отдельности.

Формат данных регистра идентификатора модуля RID (RA_DD = 00h)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	Hver ₃	Hver ₂	Hver ₁	Hver ₀	Fver ₇	Fver ₆	Fver ₅	Fver ₄	Fver ₃	Fver ₂	Fver ₁	Fver ₀	Rrev ₃	Rrev ₂	Rrev ₁	Rrev ₀
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd

Код в регистре содержит информацию об аппаратной версии модуля и о версии встроенного ПО, где:

- Hver[3...0] - Аппаратная версия (Hardware version)
- Fver[7...0] - Версия встроенного программного обеспечения (Firmware Version)
- Rrev[3...0] - Редакция встроенного программного обеспечения (Firmware Revision)

Формат данных регистра программного сброса PROG_RESET (RA_DD = 75h)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	x	x	x	x	x	x	x	x	x	x	x	x	Res ₃	Res ₂	Res ₁	Res ₀
Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr

При записи в биты Res[3..0] значения Ah происходит программный сброс модуля. Запись кода отличного от xxxAh, а также изменения остальных бит регистра значения не имеет.

При формировании программного сброса все управляющие регистры и таймер переходят в default-состояние, т.е. 0x0000, если не указано иное.

Формат данных регистра настроек RS (RA_DD = 01h)

№ бита	15	14	13	12	11	10	9	8
Название бита	0	IRQ_timer_mode	Global_int_ena	DO_Default_Set	Timer_Up_Down	Timer_mode	Timer_ena	Timer_int_ena
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

№ бита	7	6	5	4	3	2	1	0
Название бита	0	0	0	Int_16_1_ena	0	0	0	DI16_1_ena
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

Default = 1000h.

Задание режимов модуля, управление прерываниями, таймером, а также входными и выходными разовыми командами осуществляется через регистр настроек RS:

RS[0] = DI16_1_ena = 1/0 - разрешение/запрет приема вх-х PK DI1 – DI16;
RS[1] = 0
RS[2] = 0
RS[3] = 0

RS[4] = Int_16_1_ena = 1/0 - разрешение/запрет формир. прерываний от вх-х PK DI1 – DI16.
RS[5] = 0
RS[6] = 0
RS[7] = 0

RS[8] = Timer_interrupt_ena = 1/0 - разрешение/запрет формирование прерываний от таймера
RS[9] = Timer_ena = 1/0 - запуск /остановка таймера
RS[10] = Timer_mode = 1/0 - однократный / циклический режим работы таймера
RS[11] = Timer_Up_Down = 1/0 - счет таймера с декрементом / инкрементом

RS[12] = DO_Default_Set = 1/0 - управление выходными PK от матриц состояния (TTL, OutDriveReg) / от регистров выходных PK (DO8_1....DO64_57). По умолчанию DO_Default_Set=1

Примечание: Режим управления выходными PK от матриц состояния является «наследственным» от программной модели модуля DD64-PCI. И существует в модуле VPX429 только для обеспечения программной совместимости с модулем DD64-PCI.

RS[13] = Global_int_ena = 1/0 - режим разрешения / запрещения глобального прерывания.
RS[14] = IRQ_timer_mode = 1/0 - задает режим формирования прерывания от таймера: с отбоем по чтению таймера / без отбоя.

Формат данных регистра прерываний RI (Adress= BASE+18h)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	0	0	0	TMR	0	0	0	FLAG RiF16_1
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd

Default = 0010h.

Инв.№ подл.	Подп. и дата	Подп. и дата	Подп. и дата	Подп. и дата
П-3010				
Из	Имя	№ докум.	Подп.	Дата

Код в регистре содержит вектор прерываний модуля. После возникновения прерывания первым должен быть прочитан и проанализирован вектор регистра **RI**, в котором устанавливаются флаги источников прерывания:

TMR - флаг прерывания от таймера (Default-значение TMR=1. Сбрасывается чтением регистра TIMER);

FLAG RiF16_1 - флаги от ПК 1-16, регистра RiF16_1.

Более подробно описание регистра RI рассмотрено в разделе «Прерывания ПК» и «Работа с таймером».

Формат данных регистра прерываний RIn (Adress= BASE+16h)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	En	0	0	0	0	0	0	0	0	0	0	TMR	0	0	0	FLAG RiF16_1
Доступ	wr/rd	wr/rd	wr/rd	wr/rd	wr/rd	wr/rd	wr/rd	wr/rd	wr/rd	wr/rd	wr/rd	rd	rd	rd	rd	rd

Default = 0010h.

Данный регистр реализован в модуле VPX429 (блок DD64) и не реализован в стандартном модуле DD64-PCI. Назначение данного регистра - активация нового механизма контроля за прерываниями, исключающего их пропуск. Этот механизм включается/выключается записью 1/0 в старший бит регистра Rin (En). Механизм контроля за прерываниями заключается в том, что в случае, если возникло прерывание от ПК или таймера, линия прерывания будет находиться в активном состоянии до тех пор, пока пользователь в обработчике прерываний или иным способом не прочтает регистр RIn. В остальном же регистр RIn не отличается от регистра RI.

Код в регистре содержит вектор прерываний модуля. После возникновения прерывания первым должен быть прочитан и проанализирован вектор регистра **RIn**, в котором устанавливаются флаги источников прерывания:

TMR - флаг прерывания от таймера (Default-значение TMR=1. Сбрасывается чтением регистра TIMER);

FLAG RiF16_1 - флаги от ПК 1-16, регистра RiF16_1.

Более подробно описание регистра RI рассмотрено в разделе «Прерывания ПК» и «Работа с таймером».

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Число	№ докум.	Подп.	Дата

					ГФКП.468351.075РЭ											Лист
																34

Формат данных регистра таймера TIMER (Adress= BASE+1Ah):

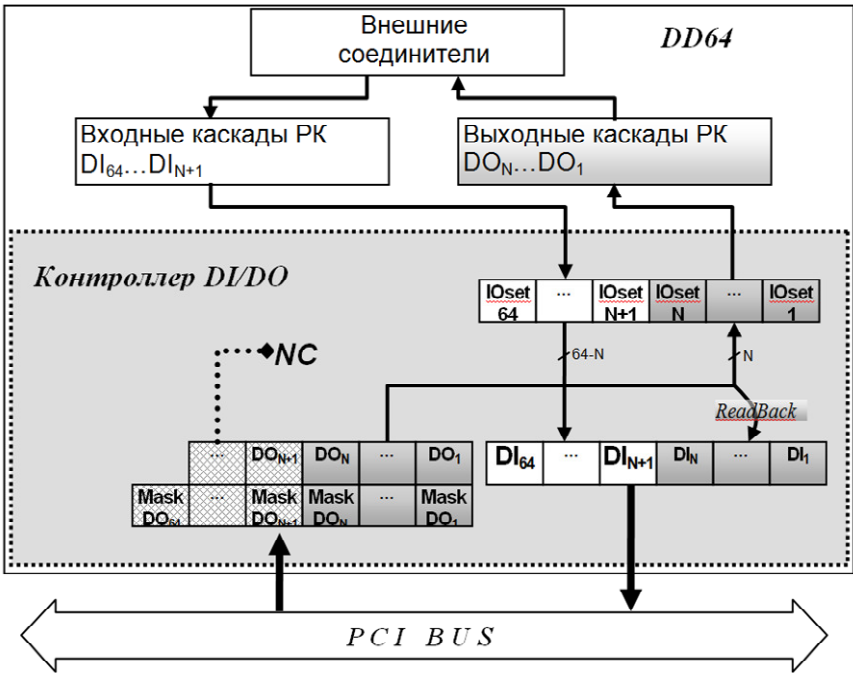
№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	TMR15	TMR14	TMR13	TMR12	TMR11	TMR10	TMR9	TMR8	TMR7	TMR6	TMR5	TMR4	TMR3	TMR2	TMR1	TMR0
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

где TMR[15..0] - значение таймера.

Более подробно описание регистра TIMER рассмотрено в разделе «Работа с таймером».

1.3.2.4 Контроллер DI/DO. Работа с разовыми командами

Структурная схема Контроллера DI/DO и вх./вых. каскадов разовых команд:



RDO – глобальный 64-разрядный регистр выходных РК

Рисунок 7 - Структурная схема РК

Примечание – В модуле VPX429 активны только младшие 16 бит, соответствующие 16 разовым командам модуля VPX429. Здесь и далее старшие 48 бит существуют только для обеспечения программной совместимости с модулем DD64-PCI.

RDI - глобальный 64-разрядный регистр входных РК (активны только младшие 16 бит).

IOSet - глобальный 64-разрядный регистр конфигурации входных/выходных РК(активны только младшие 16 бит).

Программная модель модуля в части РК является универсальной, т.е. не зависит от того, какая конфигурация РК (инверсная или прямая логика, входная или выходная РК) реализована (собрана) при заказе конкретного модуля.

Состояние конфигурации входных/выходных РК отражено в регистре IOSet, доступном только для чтения. Каждой РК, вне зависимости от того, сконфигурирована она на вход или на выход, соответствует один бит в глобальном регистре входных РК RDI и один бит в глобальном регистре выходных РК RDO. Если n-я РК сконфигурирована при сборке модуля **на выход**, то соответствующий ей n-й бит в регистре **входных РК** RDI отражает текущее состояние выходного каскада РК (функция readback на структурной схеме). Если n-я РК реализована при сборке модуля как **вход**, то соответствующий ей n-й бит регистра входных РК RDI отражает текущее состояние линии РК, а состояние n-ого бита регистра **выходных РК** RDO не имеет значения.

1.3.2.5 Выходные РК

Значение, записанное в регистр RDO, устанавливает выходные линии РК в состояние включено/выключено.

Структура глобального 64-разрядного регистра выходных разовых команд RDO

№ вых РК	57-64	49-56	41-48	33-40	25-32	17-24	9-16	1-8
Название регистра	RDO64_57	RDO56_47	RDO48_41	RDO40_33	RDO32_25	RDO24_17	RDO16_9	RDO8_1
Адрес в RA	0Fh	0Eh	0Dh	0Ch	0Bh	0Ah	09h	08h

Как видно из таблицы, глобальный регистр RDO состоит из двух регистров RDO16_9, RDO8_1 (остальные 6 регистров не доступны), каждый из которых имеет формат данных, представленный ниже:

Формат данных регистров выходных РК RDO_{n+7-n} (RA= 08h, 09h)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	mask	mask	mask	mask	mask	mask	mask	mask	DO _{n+7}	DO _{n+6}	DO _{n+5}	DO _{n+4}	DO _{n+3}	DO _{n+2}	DO _{n+1}	DO _n
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

Где n - это номер первой РК в регистре, принимает значения:
n = 1 (RDO8_1), 9 (RDO16_9);
DO_{n+x} - бит, отвечающий за состояние РК с номером n+x (где X от 0 до 7);
mask DO_{n+x} - маска РК с номером n+x (где X от 0 до 7).

Инв.№ подл.	П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата						Лист
											36

Запись в 16-разрядные регистры RDO_{n+7-n} осуществляется по маске **mask** DO_{n+x} , где биты младшего байта определяют состояние выходных РК, а соответствующие биты старшего байта разрешают/запрещают изменение битов младшего байта регистра RDO_{n+7-n} («1» - запись разрешена, «0» - изменение запрещено). Данная возможность реализована для поддержки мультизадачного управления, т.е. использования одного и того же регистра РК в различных независимых приложениях. Используя данный механизм, разные программы могут независимо использовать РК, управление которыми осуществляется через один и тот же регистр RDO_{n+7-n} без необходимости отслеживания за битами РК «чужих» приложений.

1.3.2.6 Входные РК

Прием разовых команд осуществляется в глобальный регистр входных РК RDI.

Структура глобального 64-разрядного регистра входных разовых команд RDI

№ вх РК	49-64	33-48	17-32	1-16
Название регистра	$RDI64_49$ n/a	$RDI48_33$ n/a	$RDI32_17$ n/a	$RDI16_1$
Адрес в RA	0Fh	0Dh	0Bh	09h

Как видно из таблицы, регистр RDI в общем случае состоит из четырех регистров $RDI64_49$.. $RDI16_1$ (для сохранения программной совместимости с программной моделью модуля DD64-PCI), однако в модуле VPX429 активен только регистр $RDI16_1$. Этот регистр имеет формат данных, представленный ниже.

Формат данных регистров входных РК RDI_{m+15-m} (RA= 09h):

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	DI_{m+15}	DI_{m+14}	DI_{m+13}	DI_{m+12}	DI_{m+11}	DI_{m+10}	DI_{m+9}	DI_{m+8}	DI_{m+7}	DI_{m+6}	DI_{m+5}	DI_{m+4}	DI_{m+3}	DI_{m+2}	DI_{m+1}	DI_m
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd

где m - номер первой РК в регистре, принимает значения:

$m = 1$ ($RDI16_1$).

DI_{m+y} - бит, отвечающий за состояние РК с номером m+y (где Y от 0 до 15).

Текущие состояния РК, сформированных в глобальном регистре **RDO**, отражаются в соответствующих битах глобального регистра входных РК **RDI (ReadBack)**.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Центр	№ докум.	Подп.	Дата

ГФКП.468351.075РЭ

Лист
37

Пример. Если выдать, например, 5-ю ПК, записав в регистр RDO8_1 (RA=0x08h) значение 0xFF10 (запись по маске FFh) и например 15-ю ПК, записав в регистр RDO16_9 (RA=0x09h) значение 0xFF40 (запись по маске FFh), то в регистре RDI16_1(09h), доступном по чтению, можно будет прочитать значение 0x4010.

1.3.2.7 Прерывания от ПК

В модуле реализован механизм формирования прерывания от любой ПК, в том числе и от выходных ПК через регистр RDI посредством функции **ReadBack**.

Работа с прерываниями модуля осуществляется через регистры **RI** (зона прямой адресации), **RiF**, **iMASK**, а также битов **13, 7..4** регистра **RS**.

Разрешение глобального прерывания производится записью значения «1» в бит RS[13] (Global interrupt enable). Разрешение прерывания от ПК устанавливается в регистре RS. Значение «1» записанное в RS[4]- разрешает прерывания от группы ПК 1-16. Побитовое разрешение прерываний от ПК производится в 64-разрядном глобальном регистре **iMASK**.

Информация о принятых прерываниях отображается в регистре **RI**, а также в глобальном 64-разрядном регистре **RiF**, в общем случае состоящем из четырех регистров RiF64_49, RiF48_33, RiF32_17, RiF16_1. Однако в модуле VPX429 активен только один регистр RiF16_1, т.к. максимальное число ПК в модуле VPX429 - 16 штук. Для определения источника прерывания блока B_DD64 достаточно прочитать регистр **RI**, содержащий информацию о том, что послужило источником прерывания (таймер или разовая команда).

Примечание – Выходная ПК также может являться источником прерываний, если прерывания были разрешены соответствующими этой ПК битами регистра iMASK.

Формат данных регистра прерываний RI (Adress= BASE+08h)

	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	0	0	0	0	TMR	FLAG RiF64_49 = 0 n/a	FLAG RiF48_33 = 0 n/a	FLAG RiF32_17 = 0 n/a	FLAG RiF16_1
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd

TMR - флаг прерывания от таймера;

FLAG RiF16_1 - флага от ПК 1-16, регистра RiF16_1.

Информация о принятых прерываниях отображается в регистре RI , а также в глобальном 64-разрядном регистре RiF , в общем случае состоящем из четырех регистров RiF64_49, RiF48_33, RiF32_17, RiF16_1. Однако в модуле VPX429 активен только один регистр RiF16_1, т.к. максимальное число РК в модуле VPX429 - 16 штук. Для определения источника прерывания блока B_DD64 достаточно прочитать регистр RI , содержащий информацию о том, что послужило источником прерывания (таймер или разовая команда).	Подп. и дата	Инв. № дубл.																																																		
<i>Примечание – Выходная РК также может являться источником прерываний, если прерывания были разрешены соответствующими этой РК битами регистра iMASK.</i>	Взам. инв. №																																																			
Формат данных регистра прерываний RI (Adress= BASE+08h)	Подп. и дата																																																			
<table><tr><td>0</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr><tr><td>Название бита</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>TMR</td><td>FLAG RiF64_49 = 0 n/a</td><td>FLAG RiF48_33 = 0 n/a</td><td>FLAG RiF32_17 = 0 n/a</td><td>FLAG RiF16_1</td></tr><tr><td>Доступ</td><td>rd</td><td>rd</td><td>rd</td><td>rd</td><td>rd</td><td>rd</td><td>rd</td><td>rd</td><td>rd</td><td>rd</td><td>rd</td><td>rd</td><td>rd</td><td>rd</td><td>rd</td><td>rd</td></tr></table>	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Название бита	0	0	0	0	0	0	0	0	0	0	0	TMR	FLAG RiF64_49 = 0 n/a	FLAG RiF48_33 = 0 n/a	FLAG RiF32_17 = 0 n/a	FLAG RiF16_1	Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	Подп. и дата
0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																				
Название бита	0	0	0	0	0	0	0	0	0	0	0	TMR	FLAG RiF64_49 = 0 n/a	FLAG RiF48_33 = 0 n/a	FLAG RiF32_17 = 0 n/a	FLAG RiF16_1																																				
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd																																				
TMR - флаг прерывания от таймера; FLAG RiF16_1 - флага от РК 1-16, регистра RiF16_1.	Инв.№ подл.																																																			
П-3010																Лист																																				
ГФКП.468351.075РЭ																38																																				

Настройка прерываний от входных РК осуществляется в глобальном регистре масок прерываний **PK iMASK**.

Структура глобального 64-разрядного регистра масок прерываний iMASK

№ вых РК	57-64	49-56	41-48	33-40	25-32	17-24	9-16	1-8
Название регистра	iMASK_64_57	iMASK_56_47	iMASK_48_41	iMASK_40_33	iMASK_32_25	iMASK_24_17	iMASK_16_9	iMASK_8_1
Адрес в RA	1Fh	1Eh	1Dh	1Ch	1Bh	1Ah	19h	18h

Глобальный регистр iMASK в общем случае состоит из восьми регистров iMASK_64_57 .. iMASK_8_1 для сохранения программной совместимости с программной моделью модуля DD64-PCI), однако в модуле VPX429 активны только два регистра iMASK16_9, iMASK_8_1, формат данных которых представлен ниже.

Формат данных регистров масок прерываний РК iMASK_{k+7_k} (RA_DD = 18h, 19h):

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	M ₂	M ₁	M ₂	M ₁	M ₂	M ₁	M ₂	M ₁	M ₂	M ₁	M ₂	M ₁	M ₂	M ₁	M ₂	M ₁
Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr

где k - номер первой РК в регистре, принимает значения:

k = 1 (iMASK_8_1), **9** (iMASK_16_9).

Каждой разовой команде DI_{k+z} (где z от 0 до 7) отводится по 2 бита - M₂ и M₁ со следующими значениями:

M₂M_{1(k+z)} = 00 - прерывание запрещено от (k+z)-й входной РК;

M₂M_{1(k+z)} = 01 - прерывание по фронту от (k+z)-й РК;

M₂M_{1(k+z)} = 10 - прерывание по спаду от (k+z)-й РК;

M₂M_{1(k+z)} = 11 - прерывание по фронту и по спаду от (k+z)-й РК.

Глобальный регистр флагов прерываний разовых команд **RiF**

Структура глобального 64-разрядного регистра RiF

№ вх РК	49-64	33-48	17-32	1-16
Название регистра	RiF64_49	RiF48_33	RiF32_1	RiF16_1
Адрес в RA	2Fh	2Dh	2Bh	29h

Глобальный регистр флагов прерываний RiF в общем случае состоит из четырех регистров RiF64_49 .. RiF16_1 для сохранения программной совместимости с программной моделью модуля DD64-PCI, однако в модуле VPX429 активен только один регистр RiF16_1, формат данных которого, представлен ниже:

Формат данных регистра флагов прерываний RiF_{16_1} (RA_DD = 29h)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	RiF _{i+15}	RiF _{i+14}	RiF _{i+13}	RiF _{i+12}	RiF _{i+11}	RiF _{i+10}	RiF _{i+9}	RiF _{i+8}	RiF _{i+7}	RiF _{i+6}	RiF _{i+5}	RiF _{i+4}	RiF _{i+3}	RiF _{i+2}	RiF _{i+1}	RiF _i
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

где i - номер первой РК в регистре и соответствующего ему флага, принимает значения:

i=1 (RiF16_1);

RiF_{i+q} - флаг прерывания от входной РК DI_{i+q}.

Подп. и дата	
Инв. № дубл.	
Взам. инв. №	
Подп. и дата	
Инв. № подл.	П-3010

Лист	39
------	----

ГФКП.468351.075РЭ

Копировал

Формат А4

В случае если в **iMASK** прерывание разрешено, в регистре **RiF** при соответствующем событии возникает флаг, а при разрешенном бите RS[4] будет сгенерировано прерывание. Для правильной обработки прерываний ПО пользователя, предусмотрен механизм корректного обнуления обработанных флагов: чтобы отбить прерывания необходимо записать в **RiF** прочитанное из него значение и тем самым обнулить только обработанные флаги. Если же за время, которое ПО тратит на обработку значений прочитанных из **RiF** возникнут новые флаги, то после записи последнего прочитанного значения обнулятся только обработанные флаги, а новые флаги сохраняют линию прерывания в активном состоянии, что снова сгенерирует прерывание при выходе из обработчика.

1.3.2.8 Матрицы выдачи

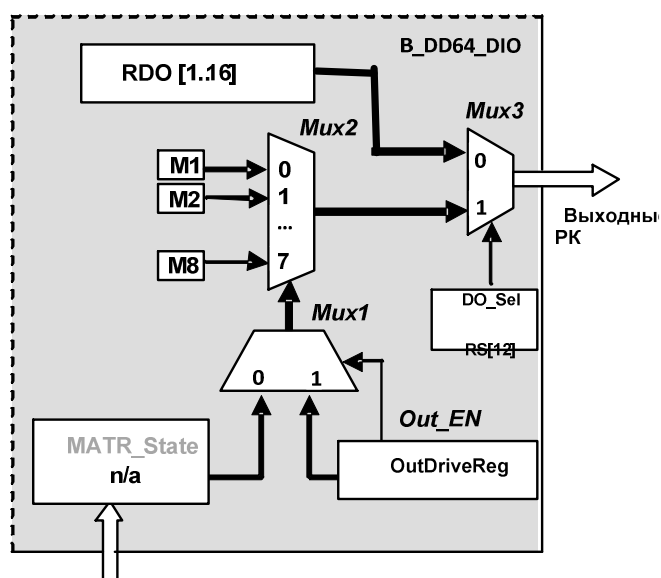
Программная модель блока B_DD64_DIO модуля VPX429 унаследована от модуля дискретных каналов DD64-PCI. В модуле DD64-PCI реализована функция **одновременного** изменения состояния всех РК (т.н. «матрицы выдачи»).

Матрицы выдачи в общем случае (для сохранения совместимости с программной моделью модуля DD64-PCI) представляют собой восемь **64-х разрядных** массивов, записанных в ПЗУ модуля и предназначенных для одномоментной выдачи на выходные каскады РК по команде ПО пользователя. Однако в силу того, что в модуле VPX429 может быть реализовано только до 16 РК, то в 8 матрицах выдачи являются активными (действующими) только младшие **16** разрядов из 64. С помощью матриц выдачи пользователь может установить/предустановить состояние выходных РК в обход регистров RDO.

Пользователю модуля следует обратить внимание на то, что количество разрядов матрицы может отличаться от количества выходных РК модуля. Те биты матрицы, которые соответствуют входным РК не имеют значения. Такая структура создана для обеспечения универсальной программной модели, т.е. независимости аппаратной реализации модуля от внутренней структуры регистров: номер бита в матрице всегда соответствует номеру РК, не зависимо от того вход это или выход. Структурная схема управления выходными РК представлена на рисунке 6.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				

					ГФКП.468351.075РЭ	Лист
						40
Из	П	Исх.	П	П		



Mux3 - мультиплексор определяющий источник сигналов для выходных РК.

Управление: Бит в регистре **RS[12]-(DO_Sel)**, устанавливает, будут ли в каскады выходных РК передаваться значения регистра RDO или одна из матриц, определяемых мультиплексором Mux2.

Default state: **RS[12]-(DO_Sel)** = 1, т.е. управление выходами РК от матрицы Mn, где n = 1..8.

Mux2 - мультиплексор подключения матрицы Mn, где n = 1..8, которая будет подана на Mux3.

Управление: Установка номера матрицы производится от мультиплексора Mux1.

Mux1 - мультиплексор коммутирующий номер матрицы, заданный в регистре **OutDriveReg** и **RD_MATR** (регистр). *Управление:* Бит в регистре **OutDriveReg[15]-(Out_EN)** задает источник управления выбором матрицы

Default state: **OutDriveReg[15]-(Out_EN)** = 0, т.е. управление от **RD_MATR** (X11, X22).

RDO (rd/wr) - глобальный регистр выходных РК;

M1..M8 (rd) - 16-разрядные матрицы выдачи.

MATR_State (rd) - регистр не доступен в блоке B_DD64;

OutDriveReg (rd/wr) - регистр программного задания [биты 2..0] и управления источником [бит 15] номера матрицы выдачи Mn, где n = 1..8.

Out_EN => **OutDriveReg[15]** = 0/1 - default value / программно, значением в регистре **OutDriveReg[2..0]**.

Рисунок 6 - Структурная схема управления выходными РК

Работа матриц выдачи M1..M8

В момент подачи питания выходные каскады РК переходят в состояния, задаваемые матрицей выдачи M1 (т.е. все выходные РК выключены). Матрицы выдачи содержат стандартные значения, жестко заданные в плате и не доступные для модификации, например, 0x0000h, 0x0F00h или 0xFF00h (см. таблицу), эти значения доступны по чтению. Матрица выдачи называется **активной**, если значение, содержащееся в ней, передано на выходы РК. После загрузки управляющего ПО номер активной матрицы может быть изменён программно либо управление переключено на регистр RDO.

Таблица12 - Матрицы выдачи РК

Матрица	Адреса RA	Доступ	Значение матрицы
M1	80h	rd	0x0000
M2	84h	rd	0x0100
M3	88h	rd	0x0300
M4	8Ch	rd	0x0700
M5	90h	rd	0x0F00
M6	94h	rd	0x1F00
M7	98h	rd	0x3F00
M8	9Ch	rd	0xFF00

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Число	№ докум.	Подп.	Дата

Для программного переключения между матрицами (установки активной матрицы), уже после загрузки пользовательского ПО, используется регистр **OutDriveReg**.

Формат данных регистра OutDriveReg (RA_DD = 14h)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	OUT_EN	x	x	x	x	x	x	x	x	x	x	x	x	mset2	mset1	mset0
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

mset2 ... mset0 – биты задают номер активной матрицы №№1-8

mset2	mset1	mset0	Матрицы
0	0	0	M1
0	0	1	M2
0	1	0	M3
0	1	1	M4
1	0	0	M5
1	0	1	M6
1	1	0	M7
1	1	1	M8

OUT_EN = 1 - управление выходами по активной матрице, заданной в регистре **OutDriveReg**.

= 0 - значение по умолчанию (активная матрица - M1).

Переключение управления между активной матрицей и регистром **RDO** ПК осуществляется установкой и снятием бита **DO_Default_Set** регистра **RS[12]** (см. стр.5).

DO_Default_Set = 1 (*Default state*) – управление выходными ПК осуществляется от активной матрицы **Mn** (где n = 1..8).

= 0 - управление выходными ПК осуществляется от регистра выходных ПК **RDO**.

Рекомендации пользователю.

*Если в модуле пользователя собраны ПК, управляемые от различных регистров **RDO** (**RDO16_9** и **RDO_8_1**), то пользователю следует использовать матрицы выдачи, а не регистры **RDO**, для управления выходными разовыми командами в 2 случаях:*

- если необходимо менять состояние выходных ПК одновременно (в противном случае необходима была бы запись сначала в один регистр **RDO**, затем в другой)*
- если критичным является время, требуемое для обращения к регистрам модуля (в случае работы с матрицами выдачи можно обойтись одной процедурой записи данных в регистры модуля вместо двух).*

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата						Лист 42
Из	Цент	№ докум	Подп	Дата	ГФКП.468351.075РЭ					

1.3.2.9 Типы РК платы DD64-PCI

Возможные типы разовых команд платы DD64-PCI*:

Тип	Выходные	Входные
	Гальванически развязанные	
Сухой контакт		
Гальванически не развязанные		
5B / Обрыв		
5B / 0		
0 / Обрыв (Ключ на корпус)		
0 / 5B		

Рисунок 7 - Возможные типы каскадов разовых команд

Примечания:

R_{prot} - защитный резистор порядка единиц Ом (зависит от исполнения и не устанавливается по умолчанию);

R_{thr} - резистор, определяющий напряжение срабатывания РК;

R_t - подтягивающий резистор.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Число	№ докум.	Подп.	Дата

1. Ограничение по току на один вывод выходной РК: $I_{max} < 500 \text{ mA}$.

2. Суммарный ток на все выходы $\sum I_{max}$ ограничен мощностью источника питания системы.

3. Обозначения на схемах «GND» соответствуют значению «земли» источника питания.

* Каждая разовая команда может быть смонтирована на плате любым вышеописанным способом (опционально при заказе).

Информация о наличии и направлении каскадов разовых команд модуля отображается в глобальных регистрах конфигурации IOCFG1 и IOCFG2. Каждой РК соответствует один бит в регистре IOCFG1 и один бит в регистре IOCFG2. 16-разрядные регистры IOCFG1 и IOCFG2 доступны только по чтению и отображают информацию о наличии и направлении каждой РК, которая может являться Входной, Выходной, либо быть физически не установленной на плате. Информация об этом приведена в таблице ниже, на примере произвольной i -й РК (где i может принимать значения от 1 до 16).

IOCFG1 _i	IOCFG2 _i	Наличие/направление РК
0	0	РК не установлена на плате
	1	РК установлена / Входная РК
1	x	РК установлена / Выходная РК

Структура глобальных регистров IOCFG1

№ вх РК	49-64	33-48	17-32	1-16
Название регистра	0	0	0	IOCFG1_16_1
Адрес в RA	7Bh	7Ah	79h	78h

Структура глобальных регистров IOCFG2

№ вх РК	49-64	33-48	17-32	1-16
Название регистра	0	0	0	IOCFG2_16_1
Адрес в RA	7Fh	7Eh	7Dh	7Ch

Каждый регистр IOCFG_x (где $x=1$ или 2) в общем случае состоит из четырех регистров IOCFG_x_64_49 .. IOCFG_x_16_1 для обеспечения программной совместимости с модулями DD64-PCI, однако активным, в свою очередь, является только один регистр IOCFG_x_16_1, который имеет формат данных, представленный ниже:

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	<table><tr><td>IOCFG1_i</td><td>IOCFG2_i</td><td>Наличие/направление РК</td></tr><tr><td rowspan="2">0</td><td>0</td><td>РК не установлена на плате</td></tr><tr><td>1</td><td>РК установлена / Входная РК</td></tr><tr><td>1</td><td>х</td><td>РК установлена / Выходная РК</td></tr></table>	IOCFG1 _i	IOCFG2 _i	Наличие/направление РК	0	0	РК не установлена на плате	1	РК установлена / Входная РК	1	х	РК установлена / Выходная РК									
					IOCFG1 _i	IOCFG2 _i	Наличие/направление РК																		
					0	0	РК не установлена на плате																		
						1	РК установлена / Входная РК																		
1	х	РК установлена / Выходная РК																							
Структура глобальных регистров IOCFG1																									
<table><tr><td>№ вх РК</td><td>49-64</td><td>33-48</td><td>17-32</td><td>1-16</td></tr><tr><td>Название регистра</td><td>0</td><td>0</td><td>0</td><td>IOCFG1_16_1</td></tr><tr><td>Адрес в RA</td><td>7Bh</td><td>7Ah</td><td>79h</td><td>78h</td></tr></table>					№ вх РК	49-64	33-48	17-32	1-16	Название регистра	0	0	0	IOCFG1_16_1	Адрес в RA	7Bh	7Ah	79h	78h						
№ вх РК	49-64	33-48	17-32	1-16																					
Название регистра	0	0	0	IOCFG1_16_1																					
Адрес в RA	7Bh	7Ah	79h	78h																					
Структура глобальных регистров IOCFG2																									
<table><tr><td>№ вх РК</td><td>49-64</td><td>33-48</td><td>17-32</td><td>1-16</td></tr><tr><td>Название регистра</td><td>0</td><td>0</td><td>0</td><td>IOCFG2_16_1</td></tr><tr><td>Адрес в RA</td><td>7Fh</td><td>7Eh</td><td>7Dh</td><td>7Ch</td></tr></table>					№ вх РК	49-64	33-48	17-32	1-16	Название регистра	0	0	0	IOCFG2_16_1	Адрес в RA	7Fh	7Eh	7Dh	7Ch						
№ вх РК	49-64	33-48	17-32	1-16																					
Название регистра	0	0	0	IOCFG2_16_1																					
Адрес в RA	7Fh	7Eh	7Dh	7Ch																					
<p>Каждый регистр IOCFG_x (где x=1 или 2) в общем случае состоит из четырех регистров IOCFG_x_64_49 .. IOCFG_x_16_1 для обеспечения программной совместимости с модулями DD64-PCI, однако активным, в свою очередь, является только один регистр IOCFG_x_16_1, который имеет формат данных, представленный ниже:</p>																									
Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	<table><tr><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td></tr><tr><td>Из</td><td>Дат</td><td>№ докум</td><td>Подп</td><td>Дата</td></tr></table>											Из	Дат	№ докум	Подп	Дата	<table><tr><td rowspan="3">ГФКП.468351.075РЭ</td><td>Лист</td></tr><tr><td></td></tr><tr><td>44</td></tr></table>	ГФКП.468351.075РЭ	Лист		44
Из	Дат	№ докум	Подп	Дата																					
ГФКП.468351.075РЭ	Лист																								
	44																								

Формат данных регистров конфигурации РК **IOCFG1_16_1** (**RA_DD = 78h**),
IOCFG2 16 1 (**RA_DD = 7Ch**)

№ вых PK	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Назв. бита	IOCFGx n+15	IOCFGx n+14	IOCFGx n+13	IOCFGx n+12	IOCFGx n+11	IOCFGx n+10	IOCFGx n+9	IOCFGx n+8	IOCFGx n+7	IOCFGx n+6	IOCFGx n+5	IOCFGx n+4	IOCFGx n+3	IOCFGx n+2	IOCFGx n+1	IOCFGx n
Дос- тип	rd	rd	rd	rd	rd	rd	Rd	rd	Rd	rd	rd	rd	rd	rd	rd	rd

где n - номер первой РК в регистре = 1 (IOCFGx16_1)

1.3.2.10 Работа с таймером

В модуле DD64-PCI реализован аппаратный 16-ти разрядный таймер, тактируемый от 16-ти разрядного делителя частоты, с диапазоном периода тактирования 1-65536 мкс (1МГц - 15,259 Гц).

Основные режимы работы таймера:

- режим генерации регулярных прерываний без контроля пропуска прерываний;
- режим генерации регулярных прерываний с контролем пропуска прерываний;
- режим измерения промежутков времени.

Режим генерации регулярных прерываний без контроля пропуска прерываний

Генерация прерываний происходит через определенные, задаваемые пользователем интервалы времени. Такой генератор регулярных прерываний может быть использован для тактирования временных интервалов в задачах реального времени. Длительность одного интервала задается программно и состоит из N тактов, где $N = [1 \dots 65536]$, а длительность одного такта может варьироваться от 1 мкс до 65536 мкс и также задается программно. При работе таймера в этом режиме не исключена ситуация, когда прерывания будут поступать слишком часто. В этом случае программа пользователя может не успевать обработать одно прерывание, когда уже сгенерировано новое прерывание. В таком случае факт пропуска прерывания установить невозможно.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				

					ГФКП.468351.075РЭ	Лист
Из	Полн	М. прораба	Полн	Полн		45

Режим генерации регулярных прерываний с контролем пропуска прерываний

Также как и в первом режиме, генерация происходит через определенные, задаваемые пользователем интервалы времени. Однако в отличие от первого режима длительность одного интервала не может превышать 65536 мкс. Также в этом режиме предусмотрена возможность контролировать пропуск прерывания от таймера.

Режим измерения промежутков времени

Точность измерения задается программно и варьируется от 1 мкс до 65536 мкс (настраиваемая длительность одного такта таймера). Используя только аппаратные ресурсы модуля, пользователь может измерять промежутки времени длительностью 65536 тактов таймера. Используя и программные ресурсы ЭВМ, пользователь может измерять сколь угодно длительные промежутки времени с точностью до 1 мкс.

Реализация каждого из режимов будет описана ниже.

Внутренняя организация таймера представлена на рисунке 8.

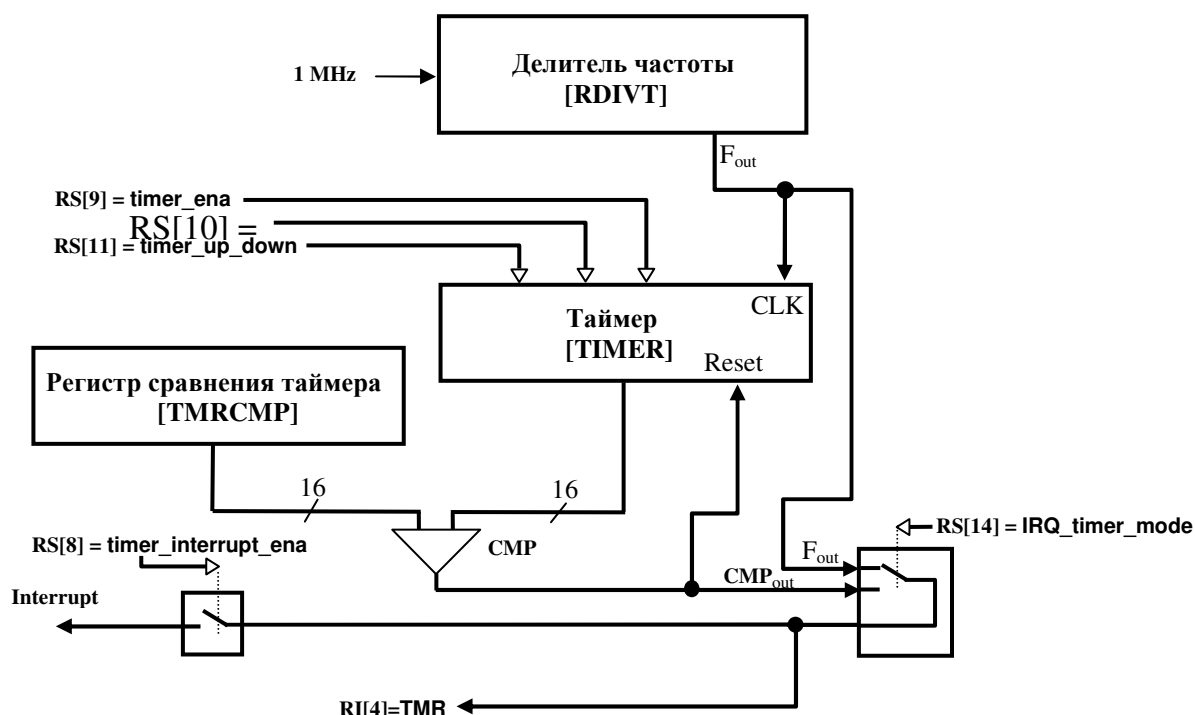


Рисунок 8 - Внутренняя организация таймера

Работа с таймером осуществляется через регистры **RS**, **TIMER**, **RDIVT**, **TMRCMP**, **RI**.

Общий принцип работы таймера.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	Лист
П-3010					46
Из	Число	№ докум.	Подп.	Дата	

На делитель частоты поступает частота 1 МГц. В зависимости от значения, записанного в регистре делителя частоты, на выходе делителя оказывается частота F_{out}. Эта частота тактирует таймер и может быть подана на линию IRQ шины PCI в зависимости от настроек регистра RS. Запуск/остановка таймера, циклический/однократный режим работы таймера, счет с инкрементом/декрементом осуществляются установкой битов регистра RS. Таймер может работать в циклическом и однократном режиме. В однократном режиме таймер останавливается, когда достигает значения, записанного в регистре TMRCMP. В циклическом режиме при достижении таймером значения, записанного в регистре сравнения таймера TMRCMP, таймер сбрасывается, и счет тактов начинается заново.

• Таймер, регистр TIMER

Обмен данными с таймером осуществляется через регистр **TIMER**. При записи в регистре устанавливается начальное значение таймера. При чтении - возвращает текущее значение.

Формат данных регистра таймера TIMER (Address= BASE+0Ah)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	TMR15	TMR14	TMR13	TMR12	TMR11	TMR10	TMR9	TMR8	TMR7	TMR6	TMR5	TMR4	TMR3	TMR2	TMR1	TMR0
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

где TMR[15..0] - значение таймера. *Default state: TMR[15..0] = 0000h*

Управление таймером организовано через регистр настроек RS:

RS[9] = timer_ena = 1/0 - запуск/остановка счета таймера;

RS[10] = timer_mode = 1/0 - однократный/циклический режим работы таймера;

RS[11] = timer_up_down = 1/0 - счет вниз/вверх.

• Делитель частоты, регистр RDIVT

Делитель частоты формирует частоту тактирования таймера. На делитель поступает частота от генератора равная 1 МГц. На выходе делителя формируется частота, определенная значением, записанным в регистр делителя частоты **RDIVT**.

Формат данных регистра делителя частоты RDIVT (RA_DD = 12h):

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	DiV15	DiV14	DiV13	DiV12	DiV11	DiV10	DiV9	DiV8	DiV7	DiV6	DiV5	DiV4	DiV3	DiV2	DiV1	DiV0
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

где DiV[15..0] - значение для деления частоты 1 МГц.

Default state: DiV[15..0] = 0000h

Частота тактирования таймера на выходе делителя определяется по формуле:

$$F_{out} = 1\,000\,000 / (DiV[15..0] + 1) \text{ Гц,}$$

Инв.№ подл. П-3010	Подп. и дата		Лист 47				
	Взам. инв. №						
	Инв. № дубл.						
	Подп. и дата						
Из	Имя	№ докум.	Подп.	Дата	ГФКП.468351.075РЭ	Копировал	Формат А4

Таким образом, таймер может тактироваться от минимальной частоты 15,259 Гц (при **RDIVT** = 0xFFFF) до 1 МГц (при **RDIVT** = 0x0000).

● **Регистр сравнения таймера TMRCMP (RA_DD = 02h)**

Цифровой компаратор **CMP** формирует флаг в регистре прерывания **RI** по совпадению значения таймера с регистром сравнения **TMRCMP**, а также формирует сброс таймера. В случае если в регистре настройки **RS[13] = Global_int_ena = 1**, то будет сгенерировано прерывание.

Значение по умолчанию регистра сравнения таймера **TMRCMP = 0000h**.

● **Прерывания таймера**

Разрешение прерывания от таймера устанавливается в регистре настроек:

RS[8] = timer_interrupt_ena = 1/0 - разрешение/запрещение формирования прерывания от таймера (для получения прерываний от таймера глобальное прерывание при этом также должно быть разрешено в регистре **RS**).

Таймер имеет два источника прерываний: от компаратора при совпадении значений **TMRCMP** и **TIMER**, а также от делителя частоты **RDIVT**. Активный источник прерываний определяется битом:

RS[14] = IRQ_timer_mode = 1/0 - делитель частоты / компаратор.

Режим, когда прерывания формируются от делителя частоты, позволяет организовать с помощью модуля DD64-PCI аппаратный источник прерываний высокой частоты, который может применяться для построения программ реального времени с малым временем реакции (от 1* до 65536 мкс).

Режим, когда прерывание формируется от регистра сравнения, позволяет построить программу реального времени с большими интервалами отсчетов (до значения $T = 65535 \cdot 1/15,259 = 4294,9$ с).

ВНИМАНИЕ! При написании ПО программист должен учитывать возможности контроллера прерываний (**КП**) процессорной платы ЭВМ, т.к. частота поступления прерываний от модуля DD64-PCI не должна превышать максимально возможную частоту обработки прерываний **КП** процессорной платы. В случае если прерывания будут формироваться с частотами близкими к максимальным для используемого в ЭВМ **КП** - это может привести к зависанию системы либо некорректной работе программы.

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	ГФКП.468351.075РЭ					Лист 48
Из	Изд.	№ докум.	Подп.	Дата						

Инициализация таймера. Для первоначального запуска таймера недостаточно только установить бит RS[9]=1. Необходимо также установить значение регистра сравнения таймера **TMRCMP** отличным от 0000h (0000h - значение по умолчанию), т.к. при значении регистра **TMRCMP** равным 0000h, значение таймера **TIMER** всегда будет равно 0000h как в циклическом, так и в однократном режимах, даже если таймер запущен.

*Примечание – Пользователю необходимо учитывать, что при подаче питания или при сбросе контроллера DD64 в регистре RI бит TMR установлен в «1». Этот бит сбрасывается в «0» чтением регистра **TIMER**.*

● **Реализация режима генерации регулярных прерываний без контроля пропуска прерываний**

Длительность одного интервала времени определяется формулой

$$T=(DIVT_value + 1)*(TMRCMP_value + 1) \text{ мкс ,}$$

где **DIVt_value** - значение, записанное в регистре **RDIVT**;

TMRCMP_value - значение записанное в регистре **TMRCMP**.

Для инициализации таймера необходимо проделать следующую последовательность действий.

1. Записать в регистр делителя частоты **RDIVT** значение **DIVT_value** и в регистр сравнения таймера **TMRCMP** значение **TMRCMP_value** исходя из длительности требуемого интервала времени.

2. Установить начальное значение таймера равным нулю.

3. Записать в регистр **RS** код x01x.0011.xxxx.xxxx₂

● **Реализация режима генерации регулярных прерываний с контролем пропуска прерываний**

Длительность одного интервала времени определяется формулой

$$T=(DIVT_value + 1) \text{ мкс ,}$$

где **DIVt_value** - значение, записанное в регистре **RDIVT**.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	<div>ГФКП.468351.075РЭ</div>	Лист 49
П-3010						
Из	Дата	№ документа	Подп.	Дата		

TMRCMP_value - значение записанное в регистре TMRCMP.

Для инициализации таймера необходимо проделать следующую последовательность действий.

1. Записать в регистр делителя частоты RDIVT значение DIVT_value и в регистр сравнения таймера TMRCMP значение TMRCMP_value исходя из длительности требуемого интервала времени.
2. Установить начальное значение таймера равным нулю.
3. Записать в регистр RS код x01x.0011.xxxx.xxxx₂

● **Реализация режима генерации регулярных прерываний с контролем пропуска прерываний**

Длительность одного интервала времени определяется формулой

$$T=(DIVT_value + 1) \text{ мкс } ,$$

где **DIVt_value** - значение, записанное в регистре RDIVT.

Для инициализации таймера необходимо проделать следующую последовательность действий.

1. Записать в регистр делителя частоты RDIVT значение DIVT_value исходя из длительности требуемого интервала времени.
2. Записать в регистр сравнения таймера TMRCMP значение 0xFFFF.
3. Установить начальное значение таймера равным нулю.
4. Записать в регистр RS код x11x.0011.xxxx.xxxx₂.
5. При поступлении прерывания в обработчике прерываний прочитать регистр таймера TMR. Если значение таймера увеличилось на $n \geq 2$ раз относительно значения предыдущего входа в обработчик прерывания, то это является признаком n-1-кратного пропуска прерываний. В этом режиме, фактически, таймер является аппаратным счетчиком прерываний. Пользователю стоит учитывать, что в этом режиме отбой блокировки прерывания обязателен и происходит по чтению значения таймера: регистра **TIMER**.

● Режим измерения промежутков времени

1. Записать в регистр делителя частоты RDIVT значение DIVT_value, задающее длительность одного такта таймера TMR. В этом случае значение (DIVT_value+1) фактически будет равным точности измерения интервала времени (в мкс).
2. Записать в регистр сравнения таймера TMRCMP значение 0xFFFF.
3. Установить начальное значение таймера равным нулю.
4. Записать в регистр RS код x11x.0011.xxxx.xxxx₂.
5. При каждом такте делителя частоты значение таймера будет инкрементироваться. При совпадении значения таймера TMR_value со значением регистра сравнения таймера TMRCMP будет генерироваться прерывание. Таким образом, если ожидаемая длительность измеряемого интервала может превысить (DIVT_value+1)*65536 мкс, то для измерения таких интервалов времени пользователь может в своей программе создать переменную irq_cnt, содержащую количество вызываемых прерываний от таймера и инкрементируемую при каждом прерывании от таймера.

Инв.№ подл.	П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	ГФКП.468351.075РЭ					Лист
											50
Из	Изд.	№ докум.	Подп.	Дата							

Длительность измеряемого промежутка времени в таком случае может быть вычислена по формуле:

$$T = DIVT_value \cdot [10000h \cdot irq_cnt + TMR_value].$$

1.3.2.11 Регистры блоков B_DD64_DIO и B_DD64_TMR контроллера VPX429

Таблица 13 - Зона регистров прямой адресации

Смещение отн. BASE	Доступ по WR	Доступ по RD
BASE+18h	---	RI регистр прер.
BASE+1Ah	TIMER регистр таймера	TIMER
BASE+1Ch	RA_DD регистр адреса	---
BASE+1Eh	RD_DD регистр данных	RD_DD

Таблица 14 - Зона регистров косвенной адресации

Адрес в RA	Рег. доступные по записи (Wr)	Рег. доступные по чтению (Rd)	Адрес в RA	Рег. доступные по записи (Wr)	Рег. доступные по чтению (Rd)
00h	-	RID	30h	EXT_MUX_CFG	Ext_Mux_Cfg
01h	RS	RS	39h	MUX1_16_1	MUX1_16_1
02h	TMRCMP	-	3Bh	MUX1_32_17	MUX1_32_17
03h	DACDATA	-	3Dh	MUX1_48_33	MUX1_48_33
04h	DACADR	-	3Fh	MUX1_64_49	MUX1_64_49
05h	DACCTRL	DACST	49h	MUX2_16_1	MUX2_16_1
06h	ADCDAТА	ADCDAТА	4Bh	MUX2_32_17	MUX2_32_17
07h	ADCCTRL	ADCST	4Dh	MUX2_48_33	MUX2_48_33
08h	RDO_8_1	-	4Fh	MUX2_64_49	MUX2_64_49
09h	RDO_16_9	RDI_16_1	59h	MUX3_16_1	MUX3_16_1
0Ah	RDO_24_17	-	5Bh	MUX3_32_17	MUX3_32_17
0Bh	RDO_32_25	RDI_32_17	5Dh	MUX3_48_33	MUX3_48_33
0Ch	RDO_40_33	-	5Fh	MUX3_64_49	MUX3_64_49
0Dh	RDO_48_41	RDI_48_33	60h	-	RD_MATR
0Eh	RDO_56_49	-	70h	-	-
0Fh	RDO_64_57	RDI_64_49	75h	PROG_RESET	-
10h	ADC2DATA	ADC2DATA	78h	-	IOCFG1_16_1
11h	ADC2CTRL	ADC2ST	79h	-	IOCFG1_32_17
12h	RDIVT	RDIVT	7Ah	-	IOCFG1_48_33
14h	OUTDRIVE_REG	OUTDRIVE_REG	7Bh	-	IOCFG1_64_49
18h	iMASK_8_1	-	7Ch	-	IOCFG2_16_1
19h	iMASK_16_9	-	7Dh	-	IOCFG2_32_17
1Ah	iMASK_24_17	-	7Eh	-	IOCFG2_48_33
1Bh	iMASK_32_25	-	7Fh	-	IOCFG2_64_49
1Ch	iMASK_40_33	-	80h÷83h	-	M1_16_1÷M1_64_49
1Dh	iMASK_48_41	-	84h÷87h	-	M2_16_1÷M2_64_49
1Eh	iMASK_56_49	-	88h÷8Bh	-	M3_16_1÷M3_64_49
1Fh	iMASK_64_57	-	8Ch÷8Fh	-	M4_16_1÷M4_64_49
20h	-	DACCFG	90h÷93h	-	M5_16_1÷M5_64_49
21h	-	ADCCFG	94h÷98h	-	M6_16_1÷M6_64_49
29h	RIF_16_1	RiF16_1	98h÷9Bh	-	M7_16_1÷M7_64_49
2Bh	RIF_32_17	RiF32_17	9Ch÷9Fh	-	M8_16_1÷M8_64_49
2Dh	RIF_48_33	RiF48_33			
2Fh	RIF_64_49	RiF64_49			

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	
Из	Лист	№ докум.	Подп.	Дата	

ГФКП.468351.075РЭ

Лист

51

Копировал

Формат А4

Доступ к регистрам косвенной адресации осуществляется через регистры адреса RA_DD и данных RD.

1.3.3 Используемые переключатели и разъемы

На рисунке 9 изображены основные разъемы и переключатели устройства. Остальные разъемы предназначены для технологических целей и не доступны пользователю.

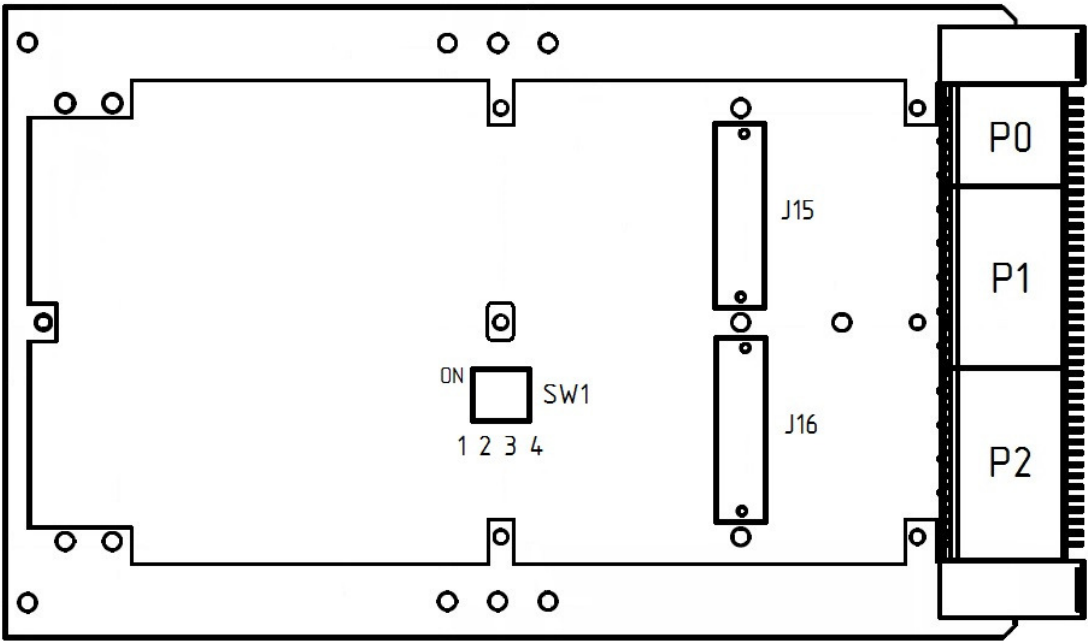


Рисунок 9 - Основные разъемы и переключатели устройства

Разъем P0 предназначен для подключения цепей питания. Назначение контактов разъема P0 представлено в таблице 15.

Таблица 15 - Назначение контактов разъема P0

P0	G	F	E	D	C	B	A
1	+12V	+12V	+12V	NC	+3.3V	+3.3V	+3.3V
2	+12V	+12V	+12V	NC	+3.3V	+3.3V	+3.3V
3	+5V	+5V	+5V	NC	+5V	+5V	+5V
4	NC	NC	GND	NC	GND	PERST#	NVMRO
5	NC	NC	GND	+3.3V_AUX	GND	NC	NC
6	NC	NC	GND	NC	GND	NC	NC
7	NC	GND	NC	NC	GND	NC	NC
8	GND	NC	NC	GND	NC	NC	GND

+12V - Цепь питания +12В;
+3,3V - Цепь питания +3,3В;
+5V - Цепь питания +5В;
+3,3V_AUX - Цепь дежурного питания +3,3В;
GND - Цепь земли;
PERST# - Управляющий сигнал PCI Express Reset;
NVMRO - В изделии не используется, соединен с контактом С16 разъема J15;
NC - Контакт не подключен.

Разъем P1 предназначен для подключения интерфейсов PCI Express, RS-232 и RS-485. Назначение контактов разъема P1 представлено в таблице 16.

Таблица 16 - Назначение контактов разъема P1

P1	G	F	E	D	C	B	A
1	GDiscrete1	GND	PE01T0-	PE01T0+	GND	PE01R0-	PE01R0+
2	GND	NC	NC	GND	NC	NC	GND
3	NC	GND	NC	NC	GND	NC	NC
4	GND	NC	NC	GND	NC	NC	GND
5	NC	GND	PE02T0-	PE02T0+	GND	PE02R0-	PE02R0+
6	GND	NC	NC	GND	NC	NC	GND
7	NC	GND	NC	NC	GND	NC	NC
8	GND	NC	NC	GND	NC	NC	GND
9	GND_RS7	GND	RX_RS7-	RX_RS7+	GND	TX_RS7-	TX_RS7+
10	GND	TX_RX_RS5-	TX_RX_RS5+	GND	TX_RX_RS4+	TX_RX_RS4-	GND
11	GND_RS5	GND	TX_RX_RS6+	TX_RX_RS6-	GND	GND_RS4	NC
12	GND	RX_RS3	TX_RS3	GND	GND_RS6	GND_RS2	GND
13	GND_RS3	GND	GND_RS1	GND_RS0	GND	RX_RS2	TX_RS2
14	GND	RX_RS1	TX_RS1	GND	TX_RS0	RX_RS0	GND
15	NC	GND	NC	NC	GND	NC	NC
16	GND	NC	NC	GND	NC	NC	GND

Интерфейс PCI Express:

PE01T0+, PE01T0- – Выходы передатчика PCI Express, Link 1, Lane 1;

PE01R0+, PE01R0- – Входы приемника PCI Express, Link 1, Lane 1;

PE02T0+, PE02T0- – Выходы передатчика PCI Express, Link 2, Lane 1;

PE02R0+, PE02R0- – Входы приемника PCI Express, Link 2, Lane 1.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Цепь	№ цепи	Цепь	Цепь

ГФКП.468351.075РЭ

Лист

53

Интерфейсы RS-232 и RS-485:

TX_RS0, RX_RS0, GND_RS0 - Сигналы передатчика, приемника и общий первого интерфейса RS-232;

TX_RS1, RX_RS1, GND_RS1 - Сигналы передатчика, приемника и общий второго интерфейса RS-232;

TX_RS2, RX_RS2, GND_RS2 - Сигналы передатчика, приемника и общий третьего интерфейса RS-232;

TX_RS3, RX_RS3, GND_RS3 - Сигналы передатчика, приемника и общий четвертого интерфейса RS-232;

TX_RX_RS4+, TX_RX_RS4-, GND_RS4 - Положительный, отрицательный и общий сигналы приемопередатчика первого интерфейса RS-485, работающего в полудуплексном режиме;

TX_RX_RS5+, TX_RX_RS5-, GND_RS5 - Положительный, отрицательный и общий сигналы приемопередатчика второго интерфейса RS-485, работающего в полудуплексном режиме;

TX_RX_RS6+, TX_RX_RS6-, GND_RS6 - Положительный, отрицательный и общий сигналы приемопередатчика третьего интерфейса RS-485, работающего в полудуплексном режиме;

TX_RS7+, TX_RS7-, RX_RS7+, RX_RS7-, GND_RS7 - Положительный и отрицательный сигналы передатчика, положительный и отрицательный сигналы приемника и общий сигнал интерфейса RS-485, работающего в полнодуплексном режиме.

GDiscrete1 - В изделии не используется, соединен с цепью +3.3V_AUX через резистор 47кОм.

Примечание – Для исполнений VPX429-88 ГФКП.468351.075-02 и VPX429-22 ГФКП.468351.075-03 цепи интерфейсов RS-232 и RS-485 отсутствуют

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	<p>общий сигналы приемопередатчика третьего интерфейса RS-485, работающего в полудуплексном режиме;</p> <p>TX_RS7+, TX_RS7-, RX_RS7+, RX_RS7-, GND_RS7 - Положительный и отрицательный сигналы передатчика, положительный и отрицательный сигналы приемника и общий сигнал интерфейса RS-485, работающего в полнодуплексном режиме.</p> <p>GDiscrete1 - В изделии не используется, соединен с цепью +3.3V_AUX через резистор 47кОм.</p> <p><i>Примечание – Для исполнений VPX429-88 ГФКП.468351.075-02 и VPX429-22 ГФКП.468351.075-03 цепи интерфейсов RS-232 и RS-485 отсутствуют</i></p>					
Из	Деталь	№ документа	Подп.	Дата	ГФКП.468351.075РЭ					Лист
										54

Разъем P2 предназначен для подключения каналов ПК по ARINC 429, разовых команд и вывода пользовательских сигналов с разъема J16 (XMC). Назначение контактов разъема P2 для исполнения VPX429-88-DD10-3-8-5-2-RS-TC ГФКП.468351.075 представлено в таблице 17.

Таблица 17 - Назначение контактов разъема P2 для VPX429-88-DD10-3-8-5-2-RS-TC

P2	G	F	E	D	C	B	A
1	DIDO1	GND	DIDO_GND11	DIDO11	GND	J16:C5	J16:C4
2	GND	J16:F13	J16:F12	GND	J16:F5	J16:F4	GND
3	DIDO_GND1	GND	DIDO_GND9	DIDO9	GND	J16:C7	J16:C6
4	GND	J16:F15	J16:F14	GND	J16:F7	J16:F6	GND
5	DIDO2	GND	DIDO_GND7	DIDO7	GND	DIDO_GND15	DIDO15
6	GND	J16:F17	J16:F16	GND	J16:F9	J16:F8	GND
7	DIDO_GND2	GND	DIDO_GND5	DIDO5	GND	DIDO_GND13	DIDO13
8	GND	J16:F19	J16:F18	GND	J16:F11	J16:F10	GND
9	DIDO3	GND	SIB8	SIA8	GND	SOA8	SOB8
10	GND	SIB7	SIA7	GND	SOA7	SOB7	GND
11	DIDO_GND3	GND	SIB6	SIA6	GND	SOA6	SOB6
12	GND	SIB5	SIA5	GND	SOA5	SOB5	GND
13	DIDO4	GND	SIB4	SIA4	GND	SOA4	SOB4
14	GND	SIB3	SIA3	GND	SOA3	SOB3	GND
15	DIDO_GND4	GND	SIB2	SIA2	GND	SOA2	SOB2
16	GND	SIB1	SIA1	GND	SOA1	SOB1	GND

Назначение контактов разъема P2 для исполнения VPX429-00-DD16-3-8-5-8-RS ГФКП.468351.075-01 представлено в таблице 18.

Таблица 18 - Назначение контактов разъема P2 для VPX429-00-DD16-3-8-5-8-RS

P2	G	F	E	D	C	B	A
1	DIDO1	GND	J16:C13	J16:C12	GND	J16:C5	J16:C4
2	GND	J16:F13	J16:F12	GND	J16:F5	J16:F4	GND
3	DIDO_GND1	GND	J16:C15	J16:C14	GND	J16:C7	J16:C6
4	GND	J16:F15	J16:F14	GND	J16:F7	J16:F6	GND
5	DIDO2	GND	J16:C17	J16:C16	GND	J16:C9	J16:C8
6	GND	J16:F17	J16:F16	GND	J16:F9	J16:F8	GND
7	DIDO_GND2	GND	J16:C19	J16:C18	GND	J16:C11	J16:C10
8	GND	J16:F19	J16:F18	GND	J16:F11	J16:F10	GND
9	DIDO3	GND	DIDO15	DIDO_GND15	GND	DIDO16	DIDO_GND16

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	ГФКП.468351.075РЭ					Лист
										55
					Из	Число	№ докум.	Подп.	Дата	

Продолжение таблицы 18

P2	G	F	E	D	C	B	A
10	GND	DIDO13	DIDO_GND13	GND	DIDO14	DIDO_GND14	GND
11	DIDO_GND3	GND	DIDO11	DIDO_GND11	GND	DIDO12	DIDO_GND12
12	GND	DIDO9	DIDO_GND9	GND	DIDO10	DIDO_GND10	GND
13	DIDO4	GND	DIDO7	DIDO_GND7	GND	DIDO8	DIDO_GND8
14	GND	DIDO5	DIDO_GND5	GND	DIDO6	DIDO_GND6	GND
15	DIDO_GND4	GND	NC	NC	GND	NC	NC
16	GND	NC	NC	GND	NC	NC	GND

Назначение контактов разъема P2 для исполнения VPX429-88
ГФКП.468351.075-02 представлено в таблице 19.

Таблица 19 - Назначение контактов разъема P2 для VPX429-88

P2	G	F	E	D	C	B	A
1	NC	GND	J16:C13	J16:C12	GND	J16:C5	J16:C4
2	GND	J16:F13	J16:F12	GND	J16:F5	J16:F4	GND
3	NC	GND	J16:C15	J16:C14	GND	J16:C7	J16:C6
4	GND	J16:F15	J16:F14	GND	J16:F7	J16:F6	GND
5	NC	GND	J16:C17	J16:C16	GND	J16:C9	J16:C8
6	GND	J16:F17	J16:F16	GND	J16:F9	J16:F8	GND
7	NC	GND	J16:C19	J16:C18	GND	J16:C11	J16:C10
8	GND	J16:F19	J16:F18	GND	J16:F11	J16:F10	GND
9	NC	GND	SIB8	SIA8	GND	SOA8	SOB8
10	GND	SIB7	SIA7	GND	SOA7	SOB7	GND
11	NC	GND	SIB6	SIA6	GND	SOA6	SOB6
12	GND	SIB5	SIA5	GND	SOA5	SOB5	GND
13	NC	GND	SIB4	SIA4	GND	SOA4	SOB4
14	GND	SIB3	SIA3	GND	SOA3	SOB3	GND
15	NC	GND	SIB2	SIA2	GND	SOA2	SOB2
16	GND	SIB1	SIA1	GND	SOA1	SOB1	GND

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Число	№ докум.	Подп.	Дата

Назначение контактов разъема P2 для исполнения VPX429-22
ГФКП.468351.075-03 представлено в таблице 20.

Таблица 20 - Назначение контактов разъема P2 для VPX429-22

P2	G	F	E	D	C	B	A
1	NC	GND	J16:C13	J16:C12	GND	J16:C5	J16:C4
2	GND	J16:F13	J16:F12	GND	J16:F5	J16:F4	GND
3	NC	GND	J16:C15	J16:C14	GND	J16:C7	J16:C6
4	GND	J16:F15	J16:F14	GND	J16:F7	J16:F6	GND
5	NC	GND	J16:C17	J16:C16	GND	J16:C9	J16:C8
6	GND	J16:F17	J16:F16	GND	J16:F9	J16:F8	GND
7	NC	GND	J16:C19	J16:C18	GND	J16:C11	J16:C10
8	GND	J16:F19	J16:F18	GND	J16:F11	J16:F10	GND
9	NC	GND	NC	NC	GND	NC	NC
10	GND	NC	NC	GND	NC	NC	GND
11	NC	GND	NC	NC	GND	NC	NC
12	GND	NC	NC	GND	NC	NC	GND
13	NC	GND	NC	NC	GND	NC	NC
14	GND	NC	NC	GND	NC	NC	GND
15	NC	GND	SIB2	SIA2	GND	SOA2	SOB2
16	GND	SIB1	SIA1	GND	SOA1	SOB1	GND

Каналы ПК по ARINC 429:

SIA(1...8), SIB(1...8) - входы приемников каналов ПК по ARINC-429;

SOA(1...8), SOB(1...8) - выходы передатчиков каналов ПК по ARINC-429.

Разовые команды:

DIDO(1...16) - цепи разовых команд;

DIDO_GND(1...16) - гальванически развязанные цепи земли разовых команд.

Назначение цепей разовых команд для исполнения VPX429-88-DD10-3-8-5-2-RS-TC:

- DIDO1 - DIDO5, DIDO7, DIDO9, DIDO11 - входные разовые команды, тип 3 (см. таблицу 3);
- DIDO13, DIDO15 - выходные разовые команды, тип 5 (см. таблицу 3);
- DIDO_GND1 - DIDO_GND5, DIDO_GND7, DIDO_GND9, DIDO_GND11, DIDO_GND13, DIDO_GND15 - цепи земли, объединены с GND.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Цент	№ докум	Подп	Дата

ГФКП.468351.075РЭ

Лист

57

Назначение цепей разовых команд для исполнения VPX429-00-DD16-3-8-5-8-RS:

- DIDO1 - DIDO8 - входные разовые команды, тип 3 (см. таблицу 3);
- DIDO9 - DIDO16 - выходные разовые команды, тип 5 (см. таблицу 3);
- DIDO_GND1 - DIDO_GND16 - цепи земли, объединены с GND.

Пользовательские сигналы с разъема J16 (ХМС) - J16:XX - XX соответствует номеру контакта разъема J16 изделия.

Разъем J15 предназначен для подключения интерфейса PCI Express и управляющих сигналов к посадочному месту ХМС модулей. Назначение контактов разъема J15 представлено в таблице 20.

Таблица 20 - Назначение контактов разъема J15

J15	A	B	C	D	E	F
1	PET0p0	PET0n0	+3.3V	NC	NC	+12V
2	GND	GND	TRST#	GND	GND	PERST#
3	NC	NC	+3.3V	NC	NC	+12V
4	GND	GND	TCK	GND	GND	NC
5	NC	NC	+3.3V	NC	NC	+12V
6	GND	GND	TMS	GND	GND	NC
7	NC	NC	+3.3V	NC	NC	+12V
8	GND	GND	TDI	GND	GND	NC
9	NC	NC	NC	NC	NC	+12V
10	GND	GND	NC	GND	GND	GA0
11	PER0p0	PER0n0	NC	NC	NC	+12V
12	GND	GND	GA1	GND	GND	NC
13	NC	NC	+3.3V_AUX	NC	NC	+12V
14	GND	GND	GA2	GND	GND	MSDA
15	NC	NC	NC	NC	NC	+12V
16	GND	GND	NVMRO	GND	GND	MSCL
17	NC	NC	NC	NC	NC	NC
18	GND	GND	NC	GND	GND	NC
19	REFCLK+0	REFCLK-0	NC	WAKE#	ROOT0#	NC

PET0p0, PET0n0 - положительный и отрицательный входы с передатчика PCI Express ХМС модуля;

PER0p0, PER0n0 - положительный и отрицательный выходы на приемник PCI Express ХМС модуля;

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата						Лист
Из	Цент	№ докум	Подп	Дата	ГФКП.468351.075РЭ					58

REFCLK+0, REFCLK-0 - положительный и отрицательный выходы тактовых импульсов шины PCI Express XMC модуля;

PERST# - управляющий сигнал PCI Express Reset модуля XMC;

+3.3V - цепь питания +3,3 В модуля XMC;

+3.3V_AUX - цепь дежурного питания +3,3В модуля XMC, соединена с +3.3V;

+12V - цепь питания +12 В модуля XMC;

TRST#, TCK, TMS, TDI - интерфейс JTAG, в изделии не используется. TRST# соединен с GND через резистор 10 кОм, TCK, TMS, TDI соединены с +3,3В через резисторы 10 кОм;

GA0, GA1, GA2 - идентификаторы номера слота XMC, соединены с GND;

NVMRO - в изделии не используется, соединен с контактом A4 разъема P0;

WAKE# - соединен с +3.3V через резистор 10 кОм;

ROOT0# - соединен с +3.3V через резистор 10 кОм;

MSDA, MSCL - шина IPMI I2C, в изделии не используется, сигналы подключены к цепи +3.3V через резистор 10 кОм;

NC - контакт не подключен.

Разъем J16 предназначен для подключения пользовательских сигналов с модуля XMC на разъем P2. Коммутация сигналов в зависимости от исполнения представлена в таблицах 8, 9 и 10.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата					
П-3010									
Из	Исполн.	№ докум.	Подп.	Дата					
					ГФКП.468351.075РЭ				Лист
									59

Переключатель SW1

Перемычка 1 переключателя SW1 в положении OFF настраивает мультиплексор HD3SS3412RUA на работу изделия через первый Link интерфейса PCI Express (контакты PE01T0+, PE01T0, PE01R0+, PE01R0 разъема P1);

Перемычка 1 переключателя SW1 в положении ON настраивает мультиплексор HD3SS3412RUA на работу изделия через второй Link интерфейса PCI Express (контакты PE02T0+, PE02T0, PE02R0+, PE02R0 разъема P1);

Перемычки 2, 3 и 4 предназначены для отладочных целей и должны быть установлены в положении ON.

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата						Лист
					Из	Изд.	№ докум.	Подп.	Дата	60

ГФКП.468351.075РЭ

2 Использование по назначению

2.1 Эксплуатационные ограничения

Условия эксплуатации изделия не должны превышать указанные в технических условиях ГФКП.468351.075ТУ.

2.2 Подготовка к использованию изделия по назначению

2.2.1 Установка изделия

Перед установкой изделия в аппаратуру пользователя необходимо произвести визуальный контроль изделия на отсутствие на нем следов механических повреждений. Допускается подсоединять/отсоединять изделие только при выключенной аппаратуре пользователя, в которой устанавливается изделие. Изделие считается подготовленным к использованию после установки в аппаратуру пользователя и проверки правильности подключения всех соединителей.

2.2.2 Меры безопасности при подготовке изделия к использованию по назначению

Во избежание несчастных случаев не допускается проведение работ при включенном питании. Обслуживающий персонал должен быть ознакомлен с общими правилами безопасности работы с электрическими цепями.

К работам по обслуживанию изделия должны допускаться лица, ознакомленные с настоящим руководством по эксплуатации.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				
Из	Дата	№ докум.	Подп.	Дата
ГФКП.468351.075РЭ				
Лист 61				

3 Техническое обслуживание

3.1 Проверка работоспособности изделия

Проверку работоспособности изделия проводят по п. 4.2.1 ГФКП.468351.075ТУ.

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата						Лист
										62
Из	Число	№ докум.	Подп.	Дата	ГФКП.468351.075РЭ					

4 Текущий ремонт

Ремонт отказавшего изделия производится на заводе изготовителе.

Инв.№ подл. П-3010	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата						Лист
										63
					Из	Цент	№ докум	Подп	Дата	ГФКП.468351.075РЭ

5 Транспортирование и хранение

5.1 Изделие транспортируют в транспортных средствах любого вида в соответствии с правилами, действующими на соответствующем виде транспорта.

Климатические условия транспортирования изделия не должны превышать предельные параметры, указанные в таблице 1 ГФКП.468351.075ТУ.

По механическим воздействиям изделие в тарной упаковке в составе аппаратуры предприятия-потребителя допускает транспортирование в жестких условиях по ГОСТ В 9.001.

5.2 Изделие транспортируют и хранят в штатной упаковке предприятия-изготовителя.

Условия хранения изделия должны соответствовать требованиям ГОСТ В 9.003. Изделие в процессе хранения не требует проведения технического обслуживания.

Изделие хранят в складских отапливаемых помещениях.

В помещениях для хранения не должно быть агрессивных примесей (паров кислот, щелочей), вызывающих коррозию.

5.3 Установку, монтаж изделия на месте эксплуатации, техническое обслуживание и устранение неисправностей производить в соответствии с руководством по эксплуатации ГФКП.468351.075РЭ.

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата					
П-3010									
Из	Цент	№ докум	Подп	Дата					
					ГФКП.468351.075РЭ				
					Лист				
					64				

Лист регистрации изменений

[illegible]

Инв.№ подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
П-3010				

Из	Плат	Ма. док. и	Полн	Дато

ГФКП.468351.075РЭ

Лист

65

Копировал

Формат А4